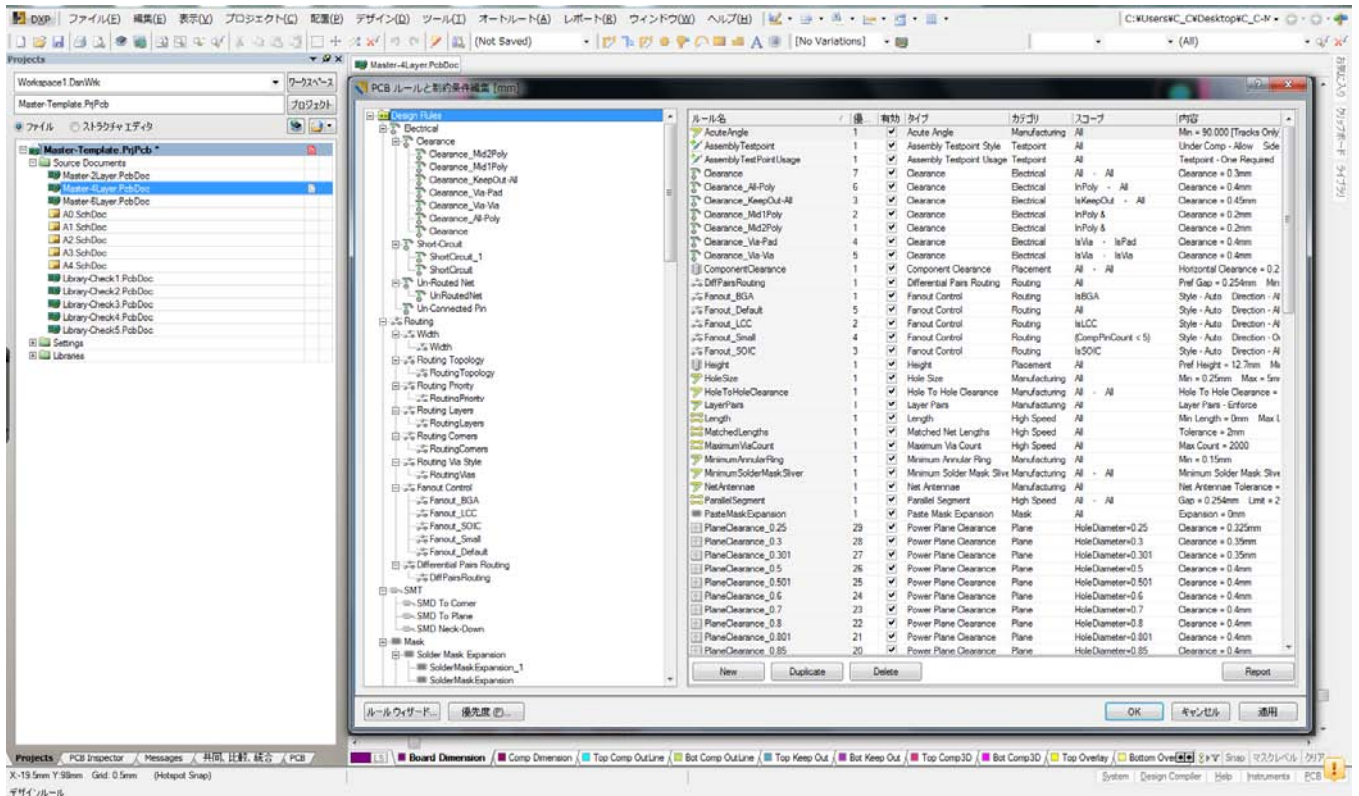
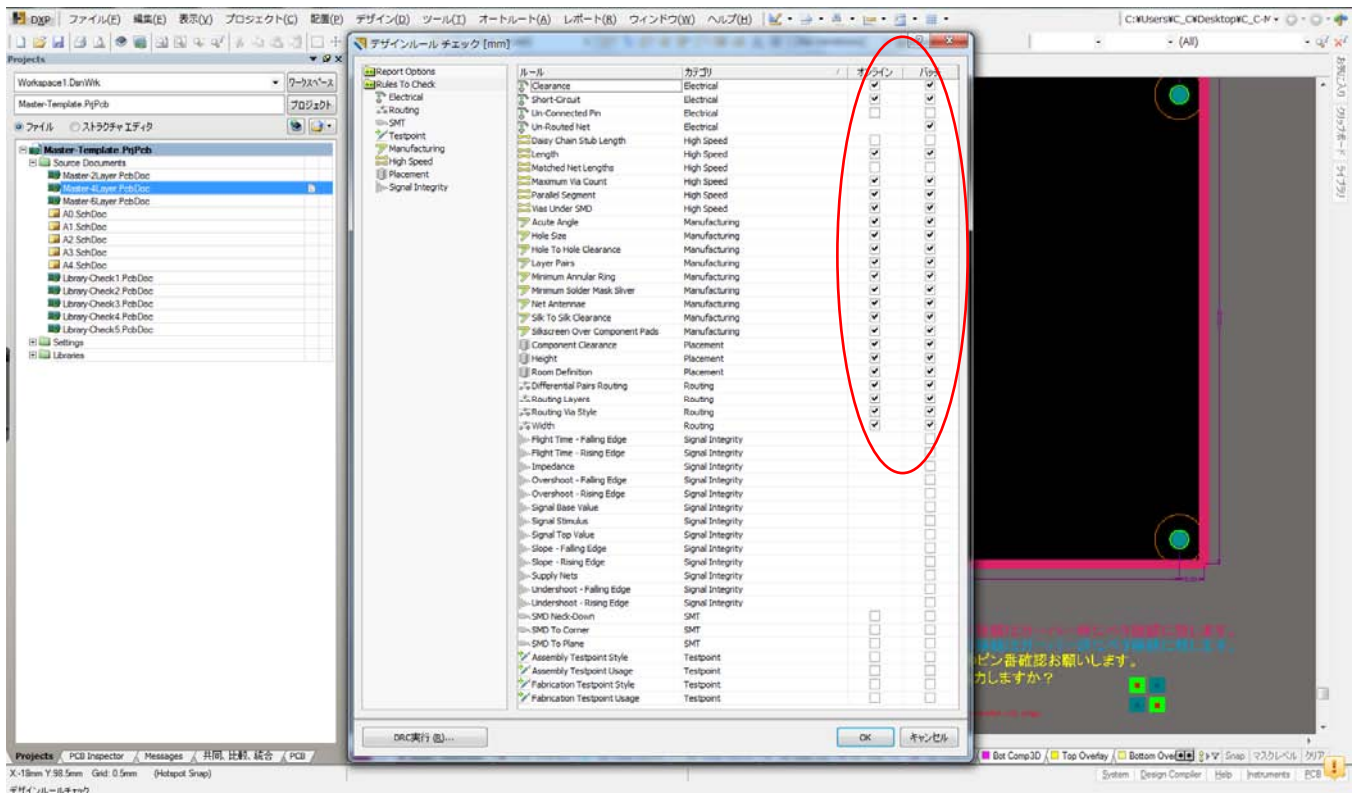


## デザインルール (DRC)

デザイン >> デザインルール      規則の設定



ツール >> デザインルールチェック      規則チェックの実行



赤印：デザインルールのチェックボックスにチェックした項目をチェックする。

## デザインルールチェック内容

## Design Rules

## Electrical

Clearance	最小クリアランス
Short-Circuit	ショート許可
Un-Routed Net	未接続配線ネット
Un-Connected Pin	未接続部品ピン

## Routing

Width	配線幅
Routing Topology	接続形態
Routing Priority	配線優先度
Routing Layers	配線可能層
Routing Comers	配線コーナー
Routing Via Style	Via サイズ
Fanout Control	ルータの設定
Differential Pairs Routing	差動配線

## SMT

SMD To Comer	パットからの配線曲げ距離の設定
SMD To Plane	
SMD Neck-Down	ネックダウンの設定の設定

## Mask

Solder Mask Expansion	レジストサイズ
Paste Mask Expansion	メタルサイズ

## Plane

Power Plane Connect Style	内層接続プレーンサイズ
Power Plane Clearance	内層逃げサイズ
Polygon Connect Style	ベタ接続プレーンサイズ

## Testpoint

Fabrication Testpoint Style	テストポイントについて
Fabrication Testpoint Usage	
Assembly Testpoint Style	
Assembly Testpoint Usage	

## Manufacturing

Minimum Annular Ring	ランド座残り
Acute Angle	鋭角パターン設定
Hole Size	穴径サイズ
Layer Pairs	レイヤペアの設定
Hole To Hole Clearance	穴壁間隔
Minimum Solder Mask Sliver	レジスト逃げ間隔
Silkscreen Over Component Pads	シルクパットの重なり
Silk To Silk Clearance	シルクシルクの間隔
Net Antennae	パターンアンテナ

High Speed  
 Parallel Segment  
 Length  
 Matched Net Lengths  
 Daisy Chain Stub Length  
 Vias Under SMD  
 Maximum Via Count

Placement

Component Clearance  
 Component Orientations  
 Permitted Layers  
 Net to ignore  
 Height

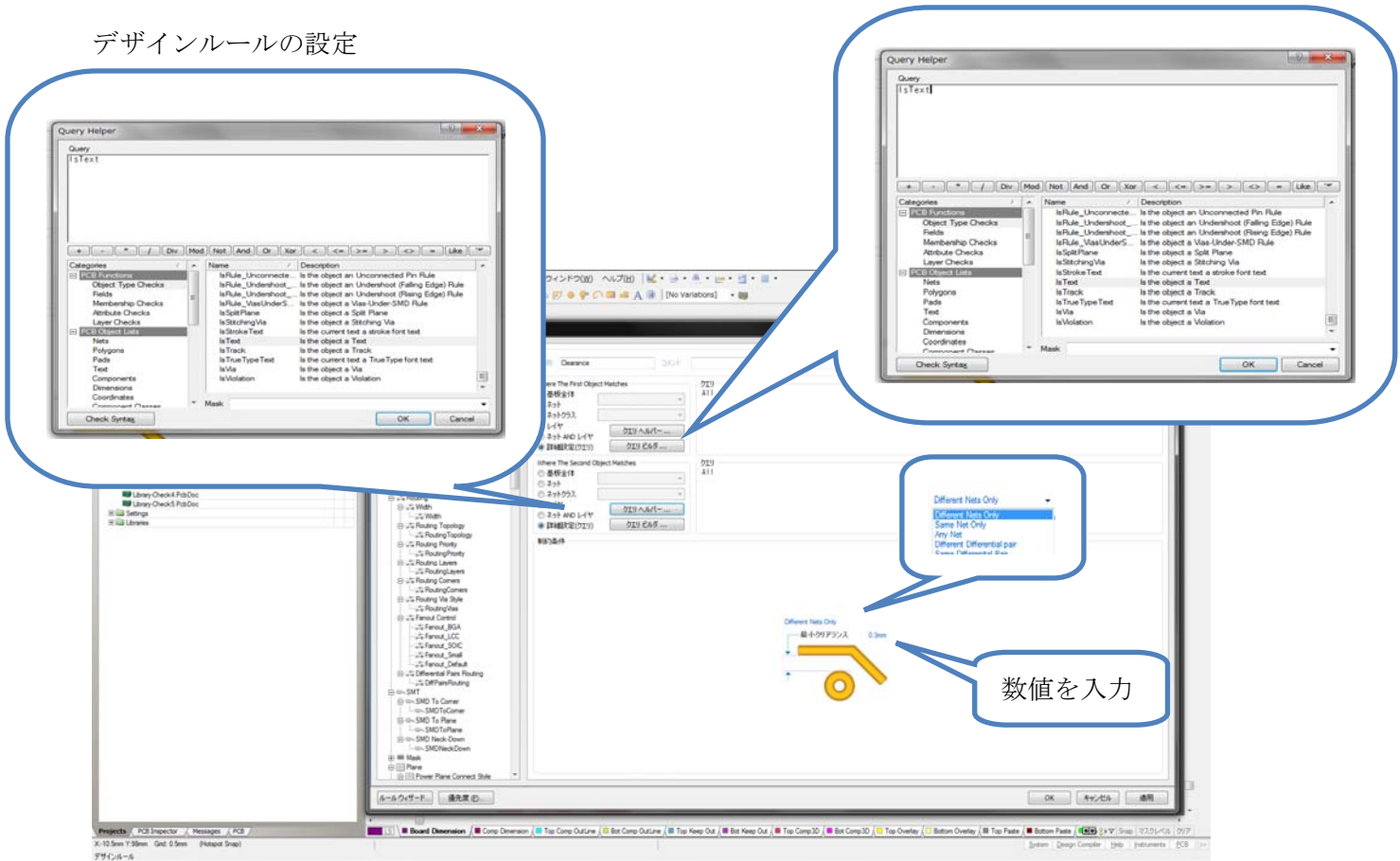
Signal Integrity

部品—部品間隔

部品高さ

シミュレーション

デザインルールの設定



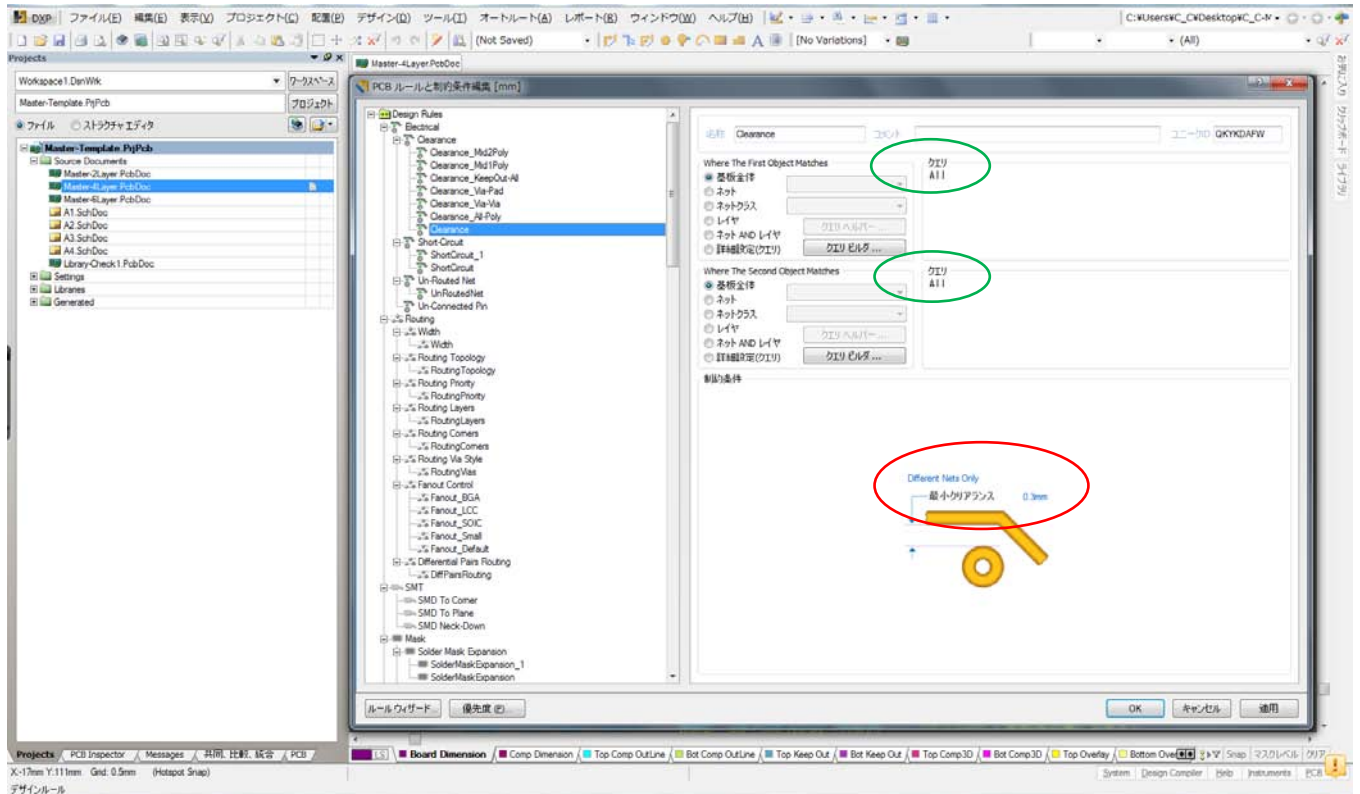
上のクエリのオブジェクトと、下のクエリのオブジェクトに対してチェックする。  
 クエリの構文を駆使することで細かくチェック出来ます。

- |                             |         |
|-----------------------------|---------|
| Different Nets Only         | 異なるネット間 |
| Same Net Only               | 同じネットのみ |
| Any Net                     | 任意のネット  |
| Different Differential Pair | 異なる差動   |
| Same Differential Pair      | 同じ差動    |

Clearance

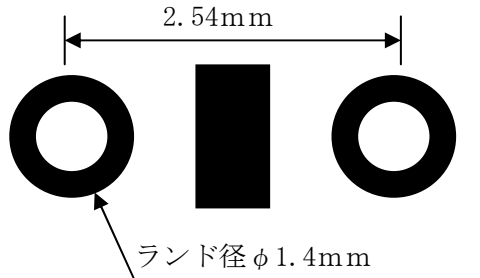
最小クリアランスの設定

All-All (全てのオブジェクトの間)



設計パターン仕様により最小クリアランスを設定する

ピン間 1 本仕様

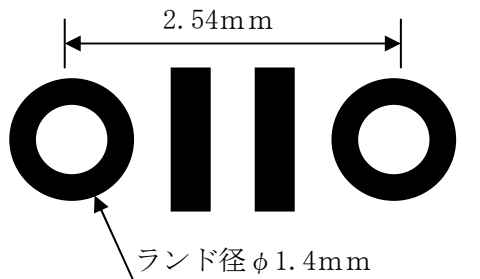


パターン幅 : 0.3~0.5mm (通常 0.35mm)

ギャップ : 0.3mm以上

設計格子 : 0.635mm (0.3175mm)

ピン間 2 本仕様

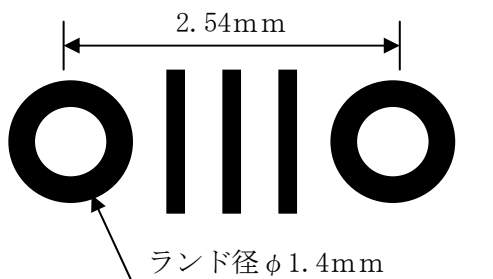


パターン幅 : 0.2mm

ギャップ : 0.2mm

設計格子 : 0.508mm (0.254mm)

ピン間 3 本仕様

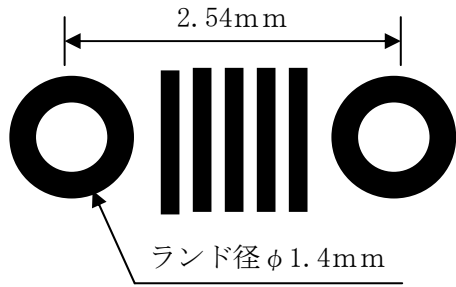


パターン幅 : 0.15mm

ギャップ : 0.16mm

設計格子 : 0.3175mm

ピン間5本仕様



パターン幅 : 0.1mm  
 ギャップ : 0.1mm  
 設計格子 : 0.1mm

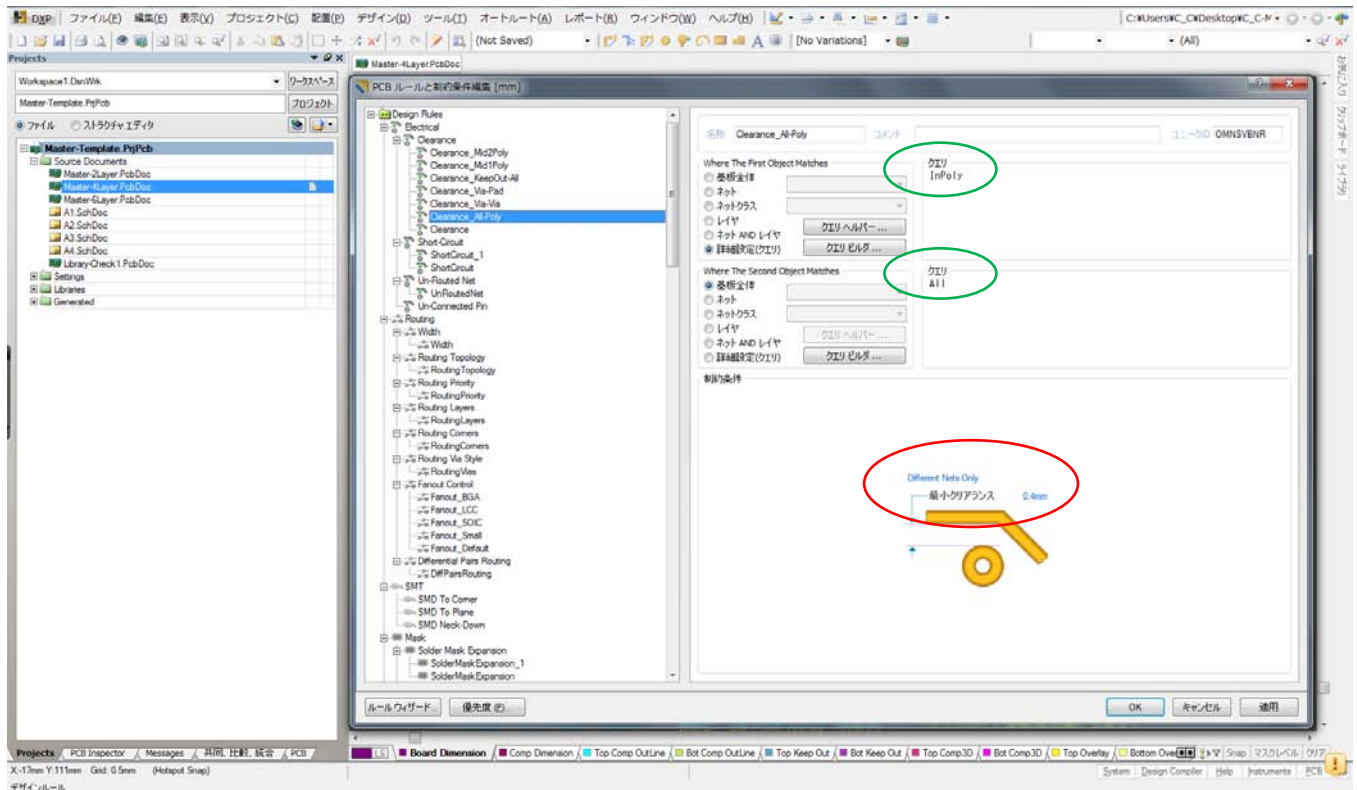
標準パターン幅

ピン間本数	パターン幅	ギャップ
0	0.5 mm	0.3 mm
1	0.3 mm	0.3 mm
2	0.2 mm	0.2 mm
3	0.15mm	0.16mm
4	0.12mm	0.13mm
5	0.1 mm	0.1 mm

ユーザーからの指示でパターン幅、ギャップが定められている場合はそれに従う。

Poly-All

ポリゴン（ベタ）と全てのオブジェクトの間隔の設定

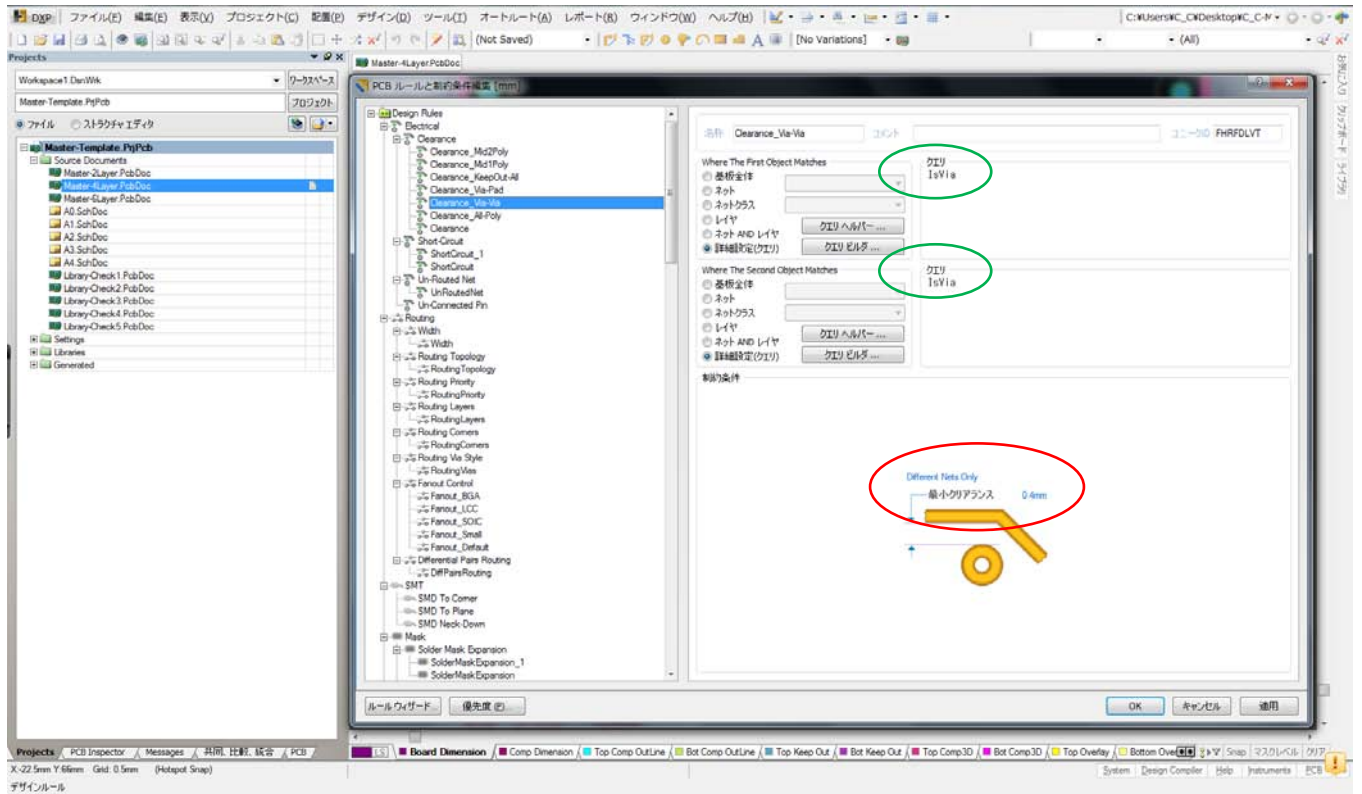


ポリゴン自動生成時に適応される



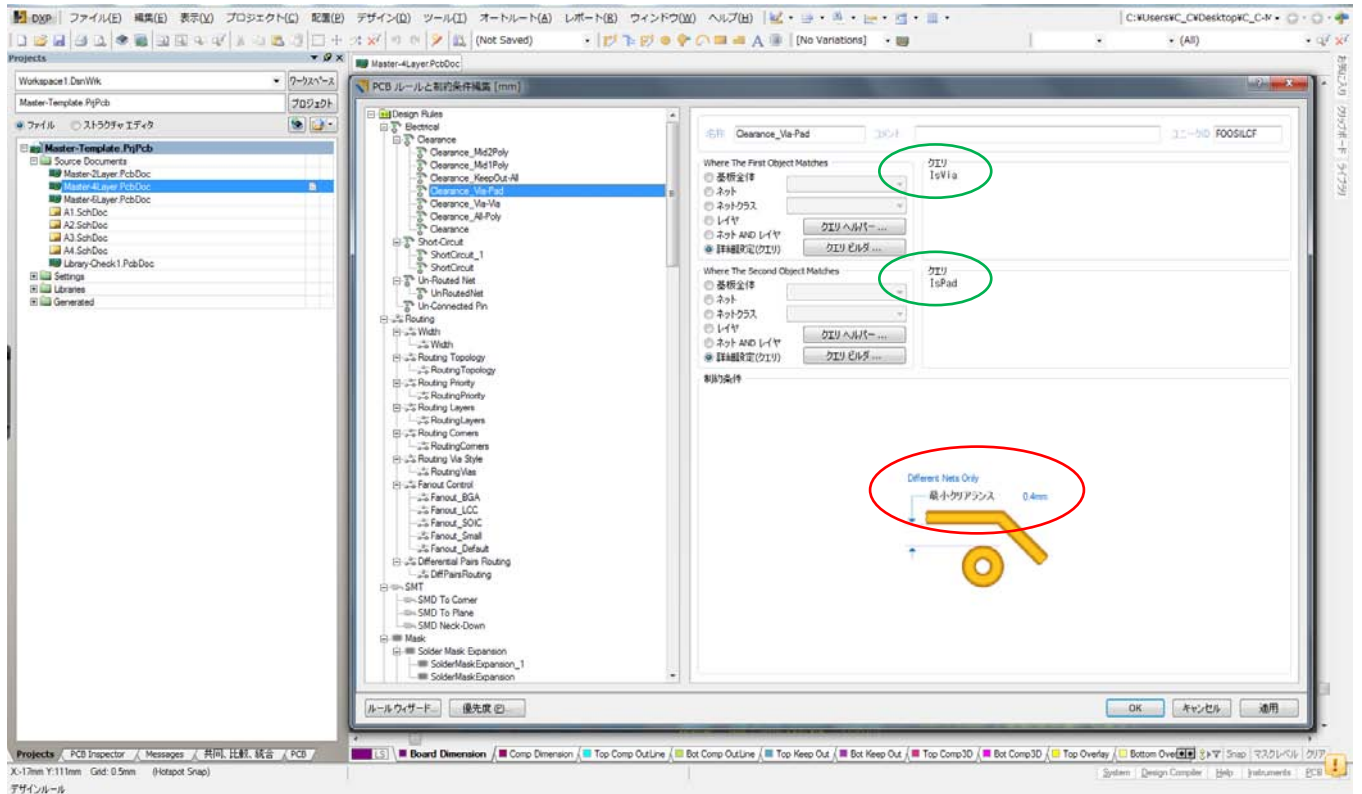
Via-Via

ビアとビアとの間隔の設定



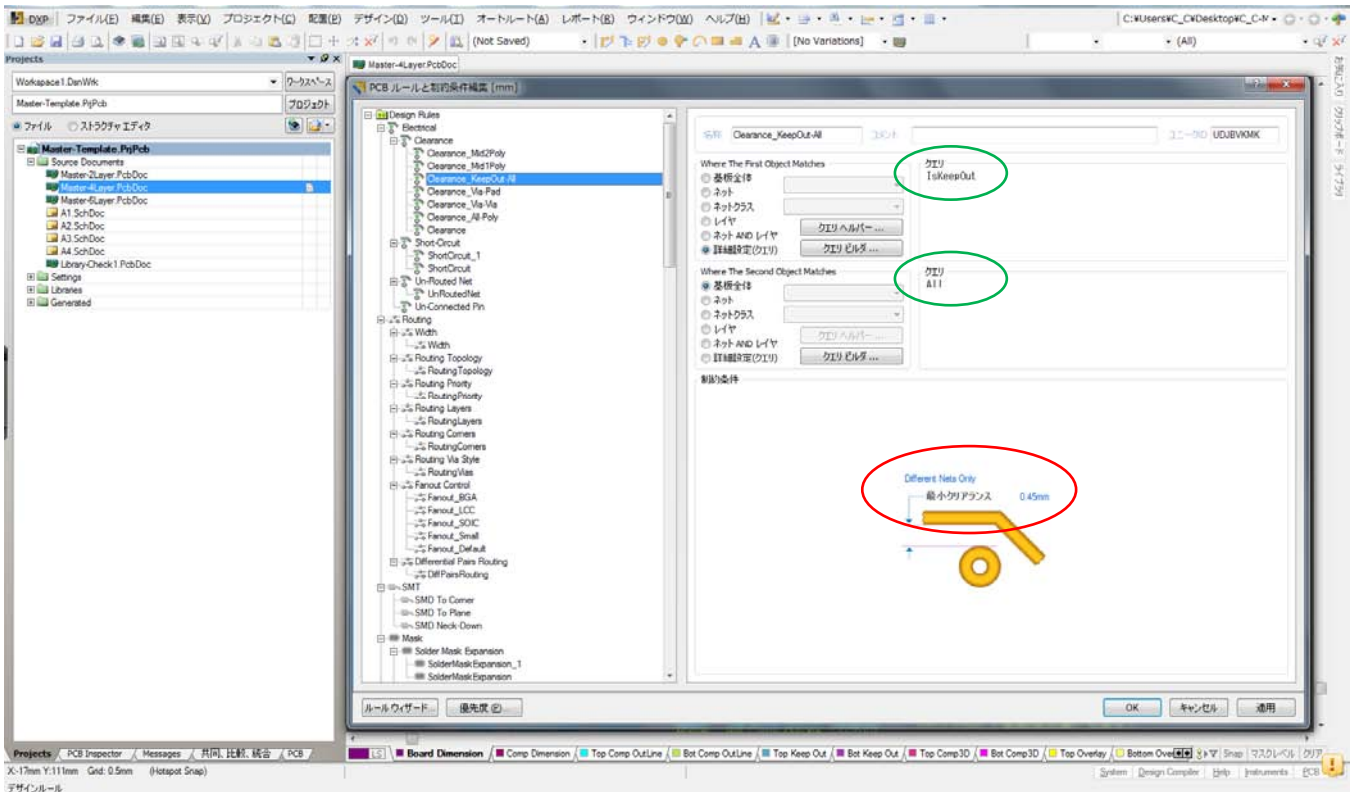
Via-Pad

ビアと部品パッドとの間隔の設定



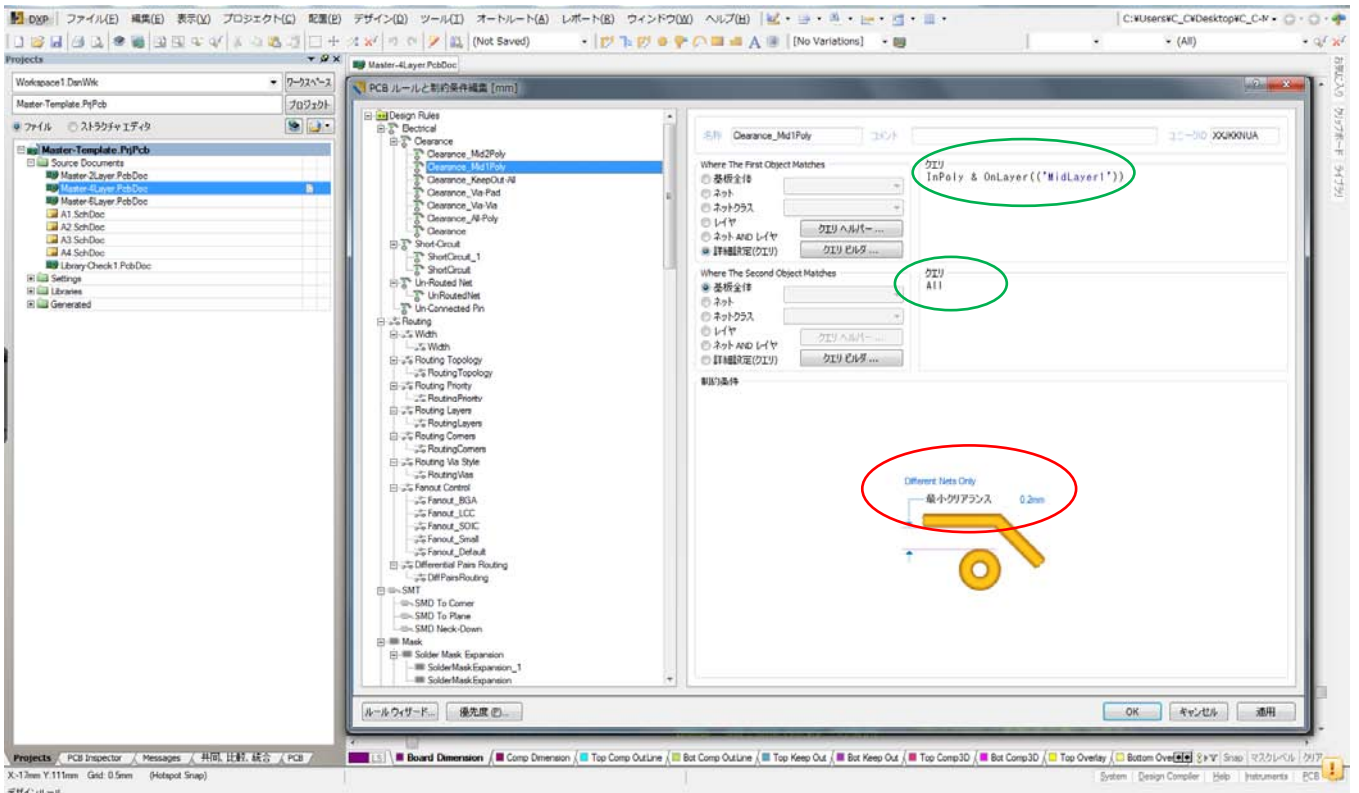
KeepOut-All

キープアウトラインと全てのオブジェクトの間隔の設定



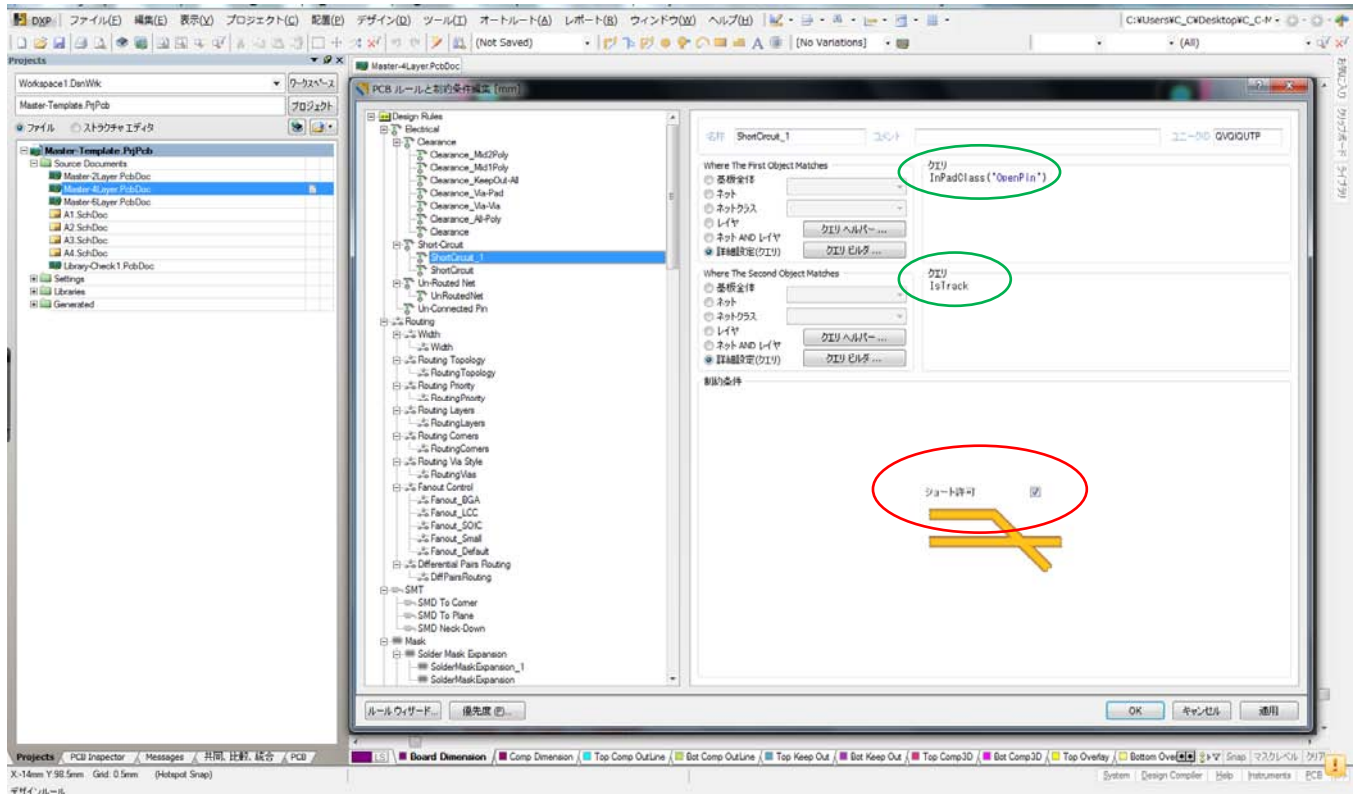
MidPoly-All

内層ベタ (ポジ) と全てのオブジェクトの間隔の設定



Short-Circuit

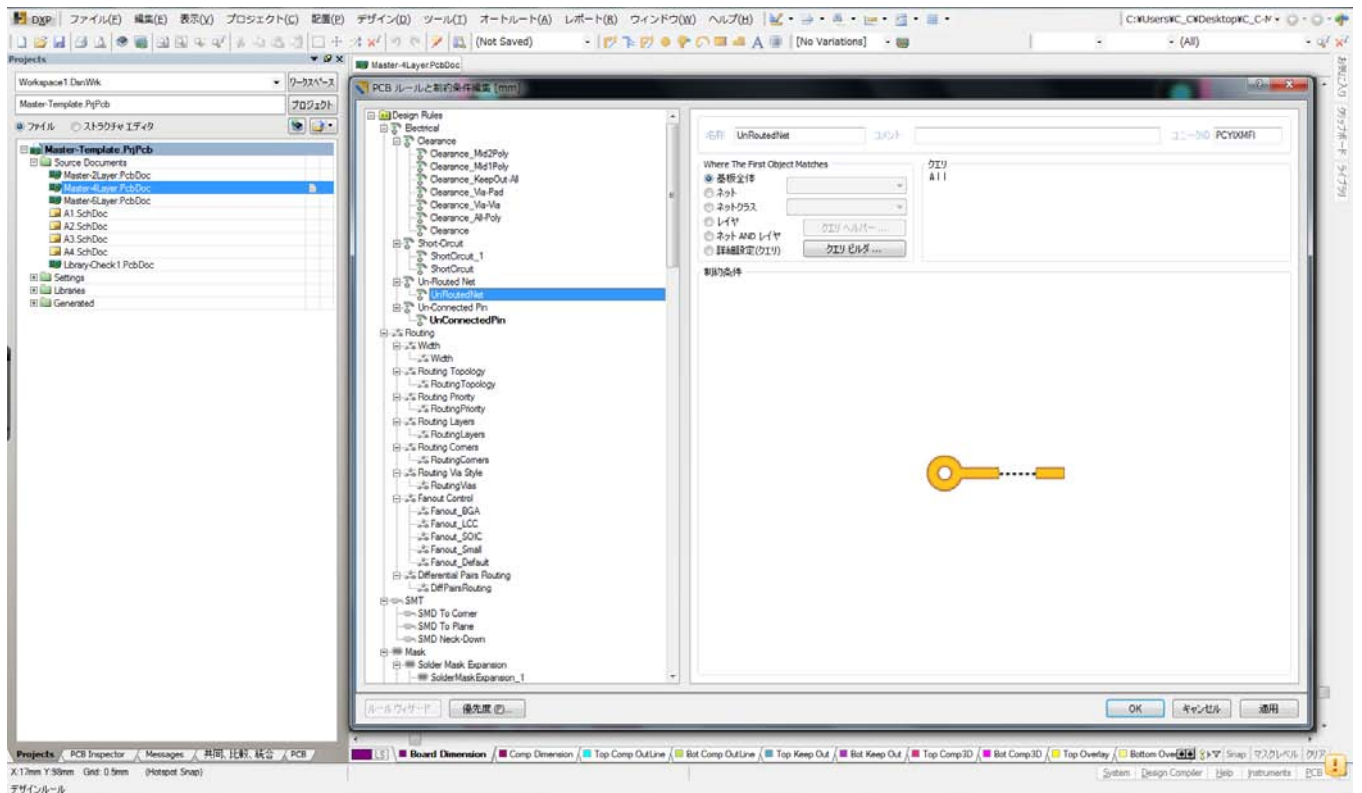
ショート許可の設定



Un-Routed Net

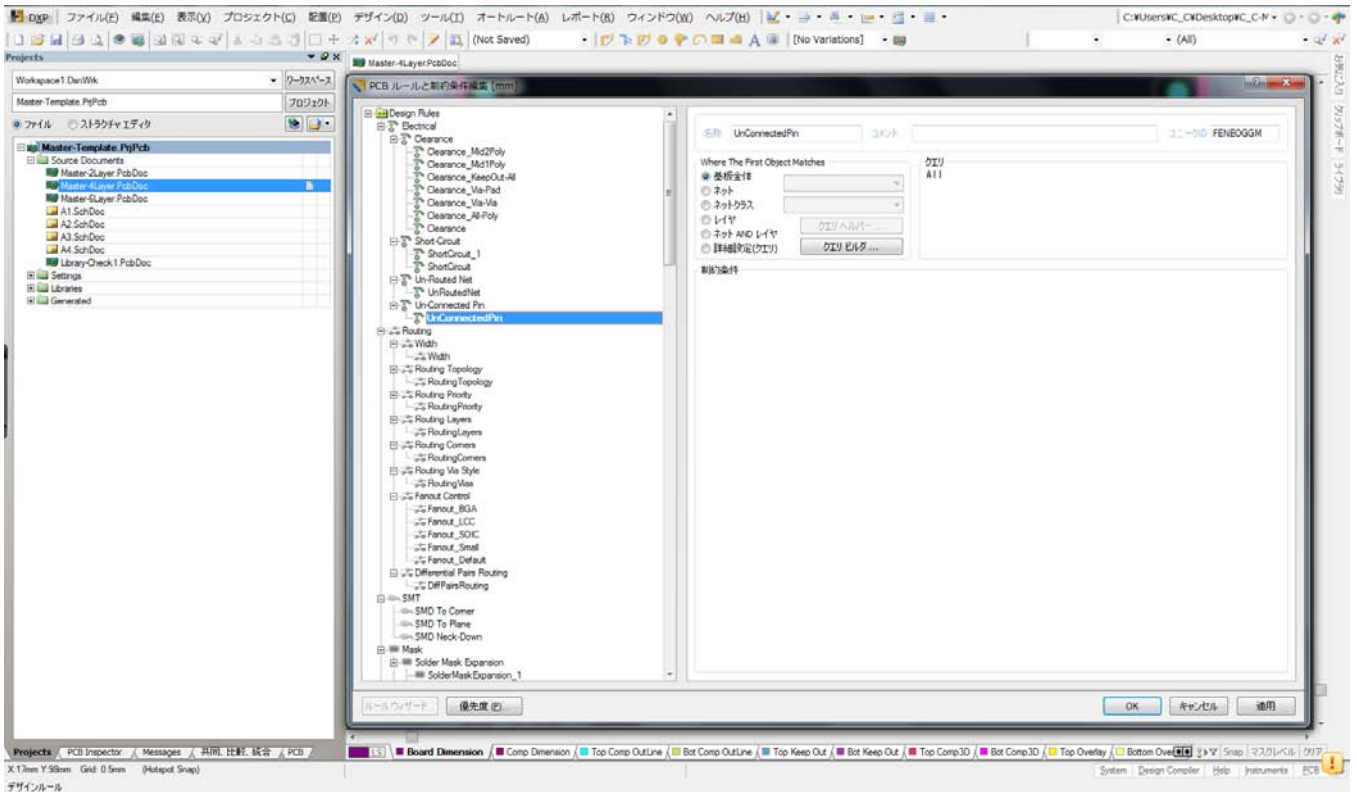
未接続配線ネットの設定

通常設計では使用しない

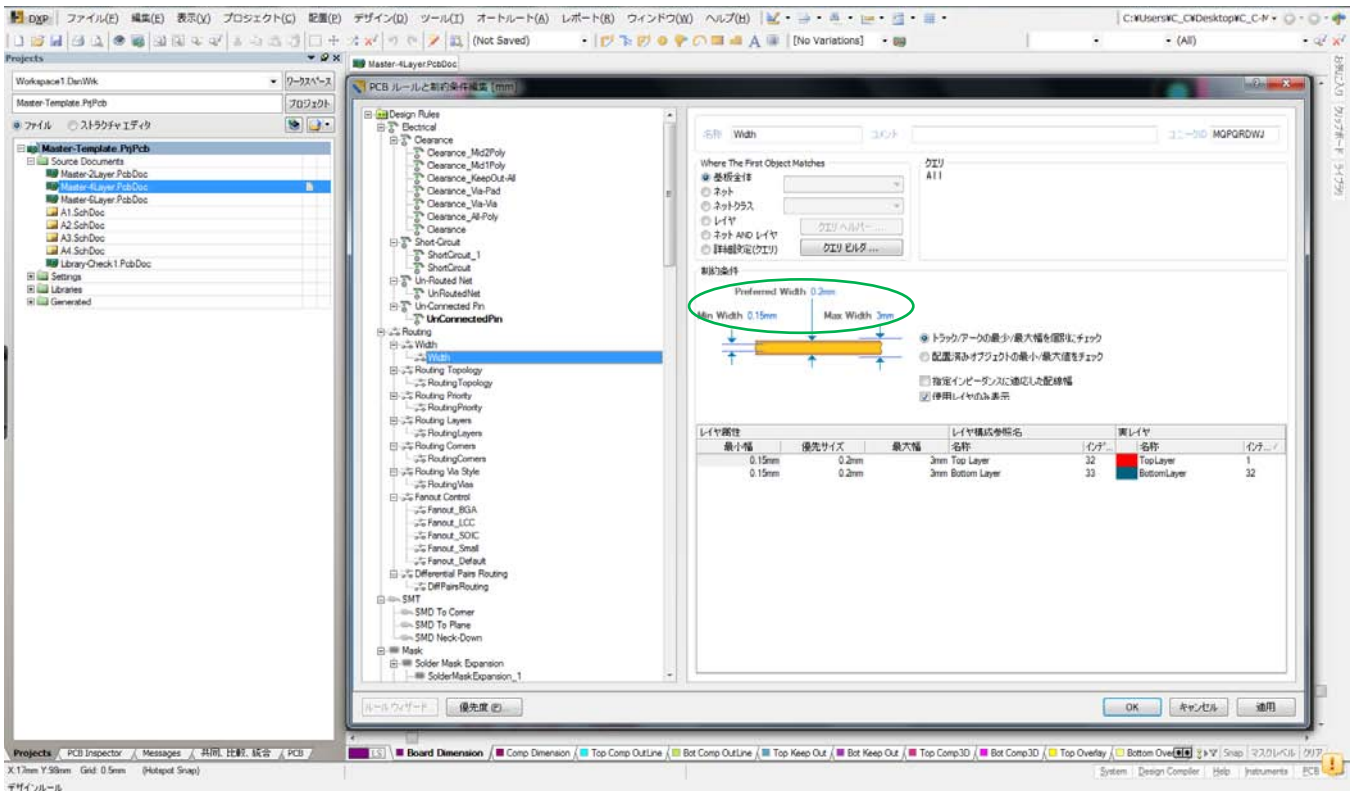




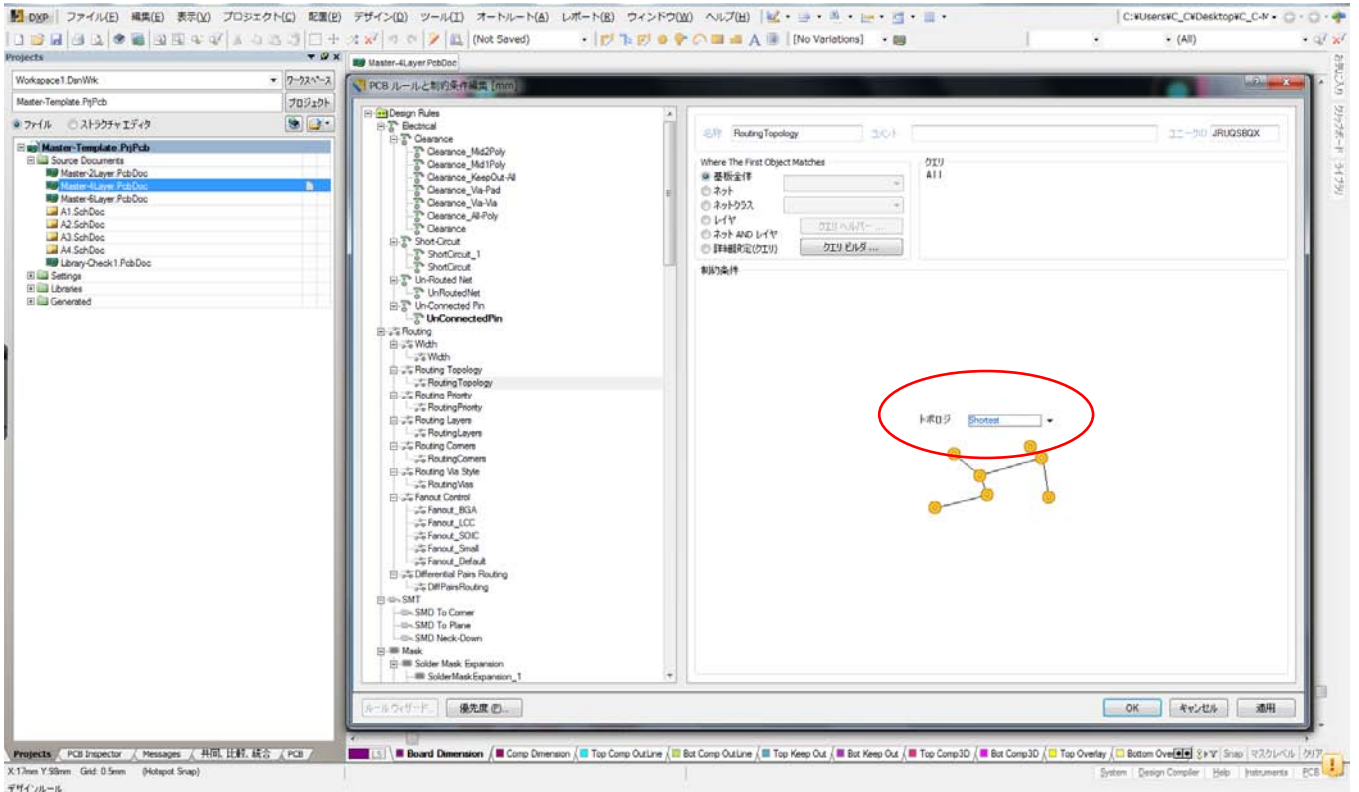
Un-Connected Pin 未接続部品ピンの設定 通常設計では使用しない



Width 配線幅の設定



Routing Topology 接続形態の設定 一筆配線などの設定 通常は Shortest



Shortest

最短配線

Horizontal

横

Vertical

縦

Daisy-Simple

一筆書き

Daisy-Mid Driven

中央一筆書き

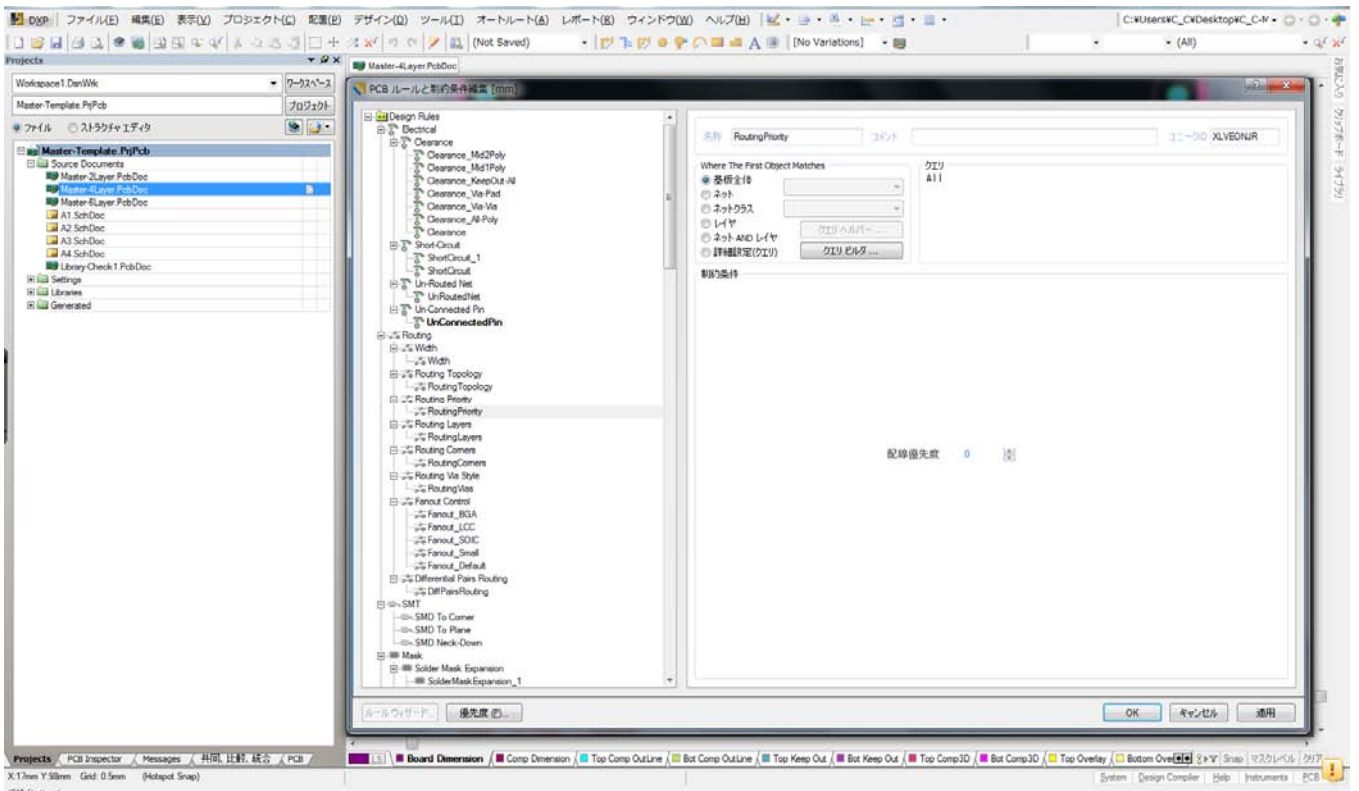
Daisy-Balanced

対象一筆書き

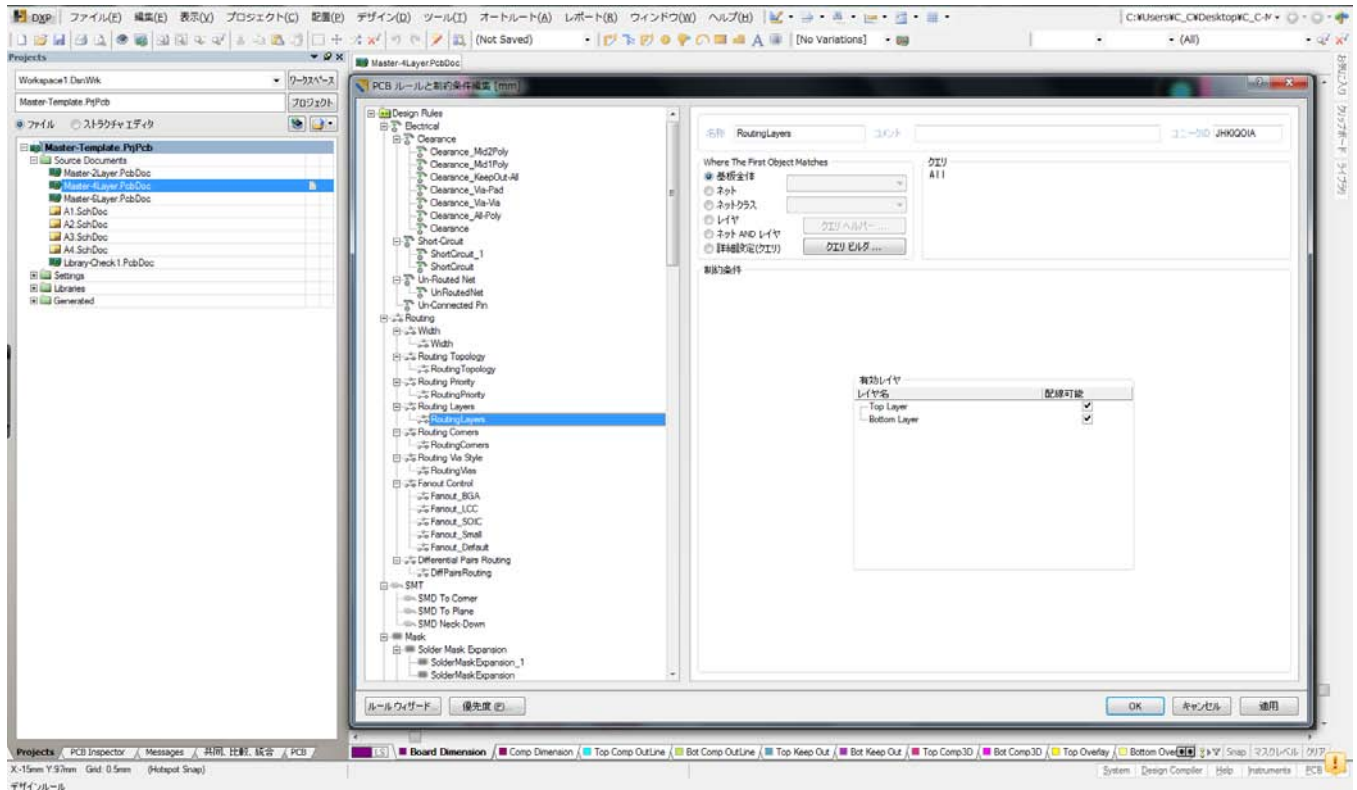
Starburst

スター配線

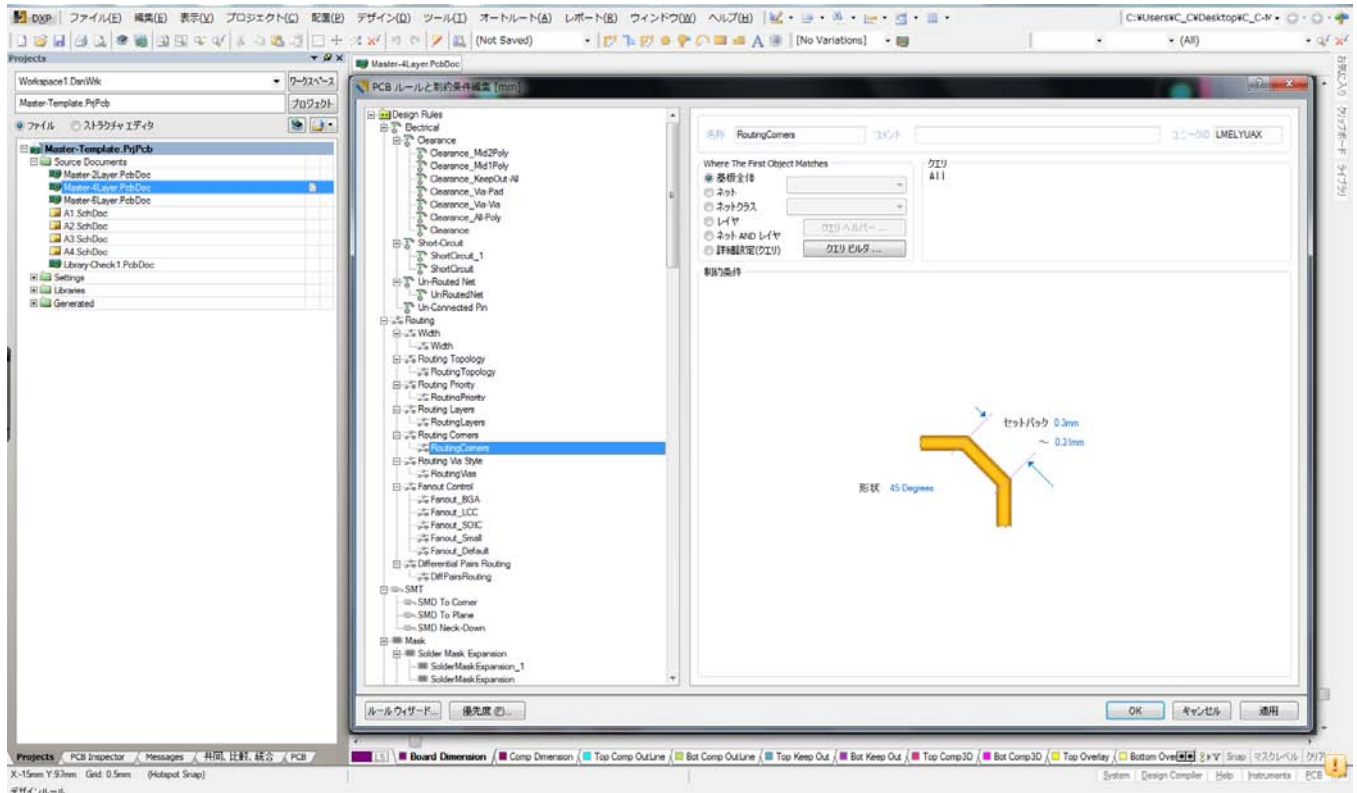
Routing Priority 配線優先度の設定 通常は設定しない



Routing Layers 配線可能層の設定 通常はそのまま

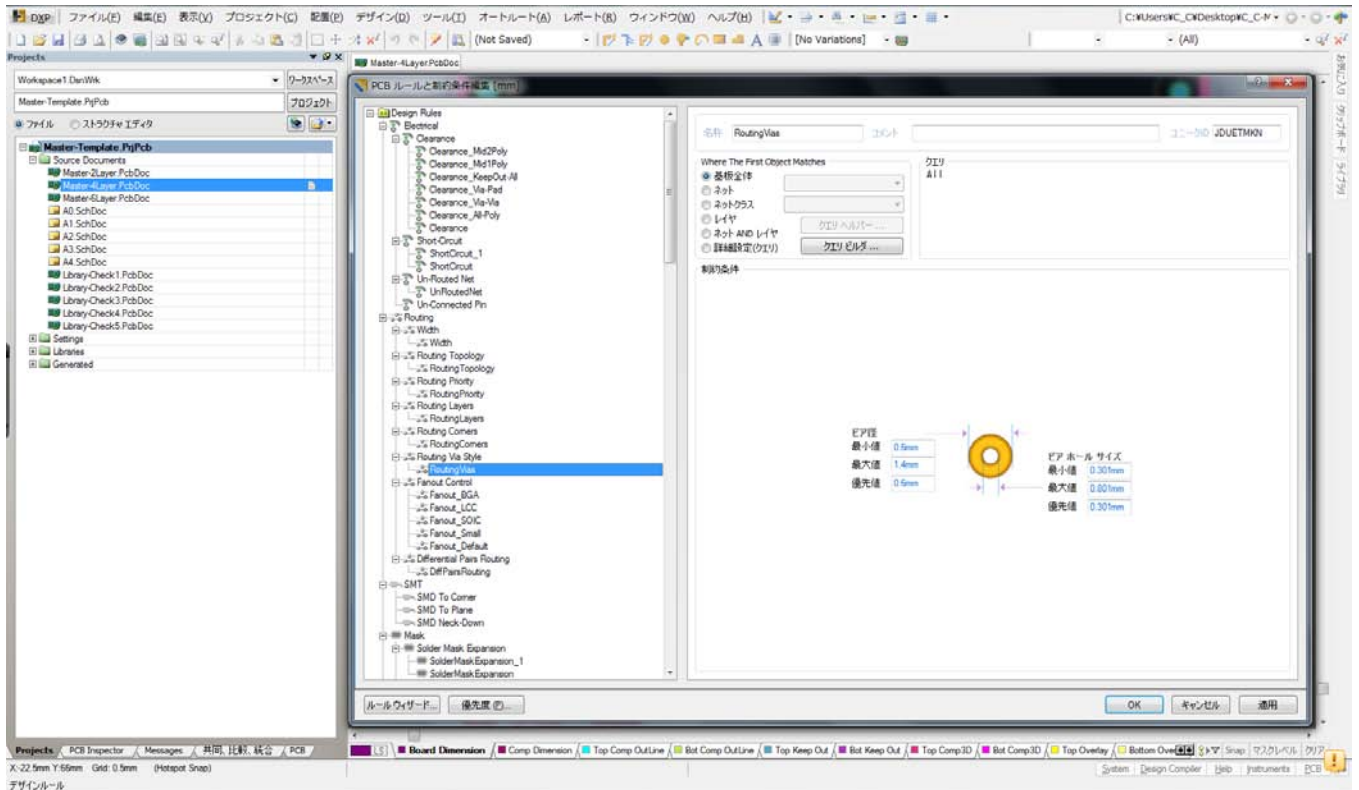


Routing Corners 配線コーナーの設定



パターンの角度 90° や鋭角パターンは 禁止。45° 曲げを基本とする。

## Routing Via Style    Via サイズの設定



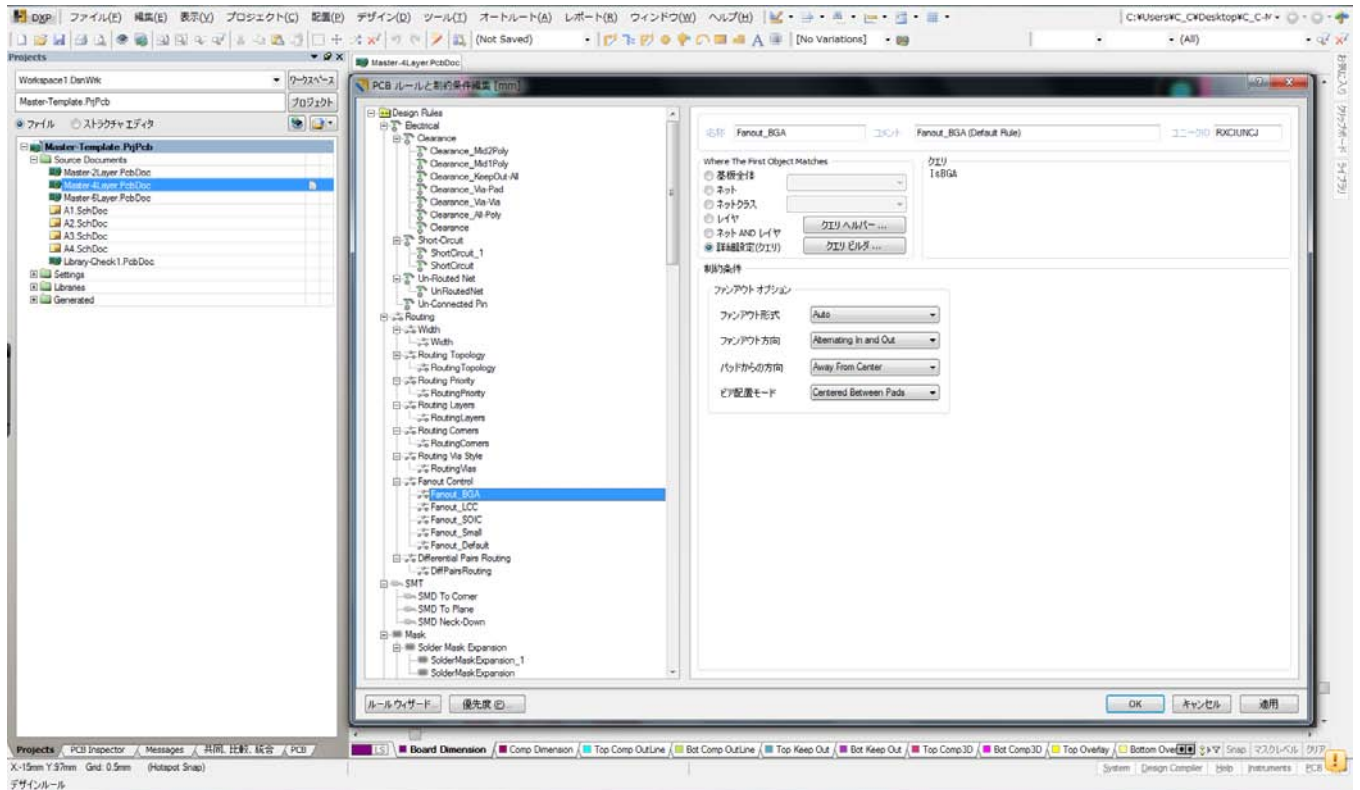
## V I A (バイアホール) 仕様

	仕上り	ドリル径	ランド径	レジスト	内層クリアランス	内層サーマル	
ミニ		φ 0.201	φ 0.35	φ 0.4	φ 0.7	ベタ接続	
ミニ		φ 0.251	φ 0.5	φ 0.35	φ 0.95	ベタ接続	
標準		φ 0.301	φ 0.6	φ 0.4	φ 1.0	ベタ接続	
電源用		φ 0.501	φ 1.0	φ 0.6	φ 1.3	ベタ接続	
電源用		φ 0.801	φ 1.4	φ 1.6	φ 1.6	φ 2.0	

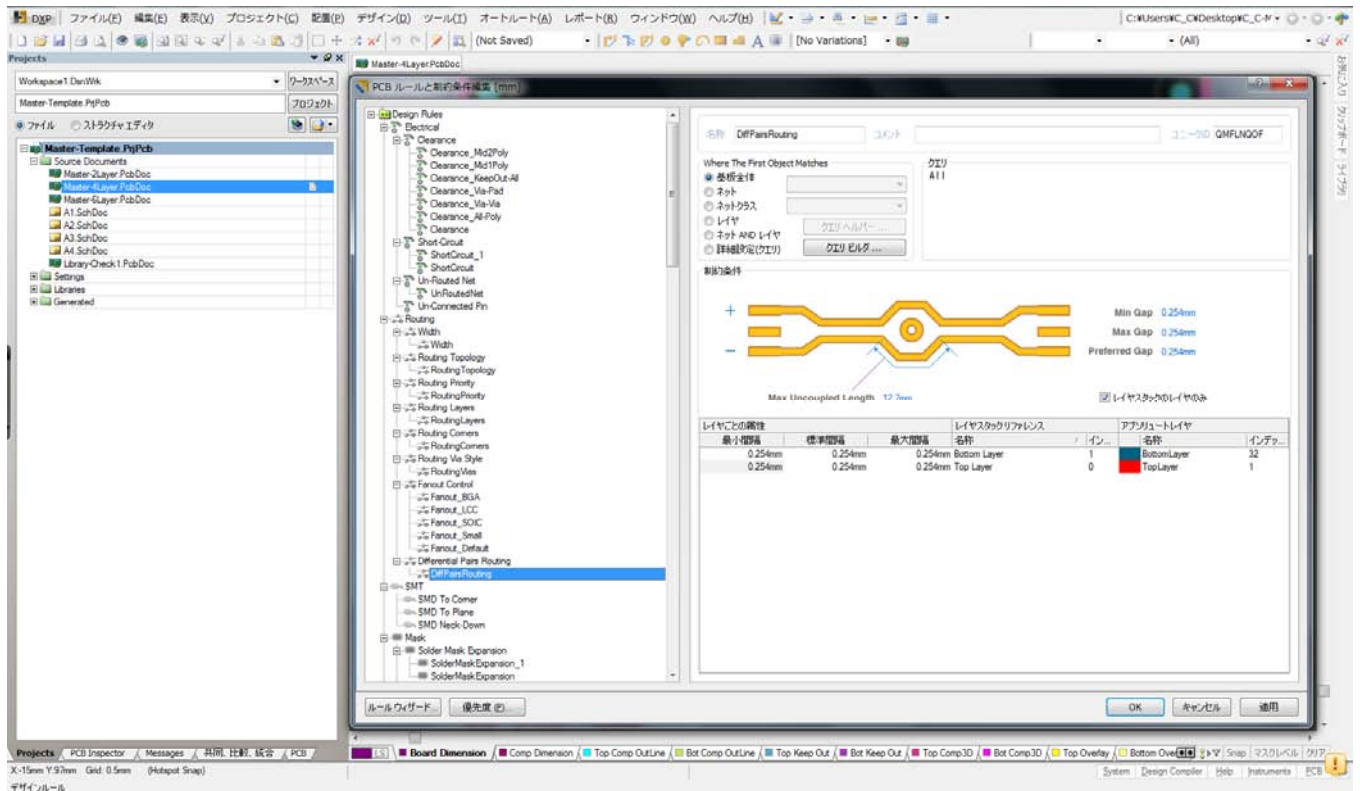
各寸法は直径を示す。ミニV I Aはドリル径で指示、その他はスルーホール仕上り径で指示する。  
V I Aはドリルデータでツールを分ける為に 0.001mm プラスする。



Fanout Control      ルータの設定      通常設定しない



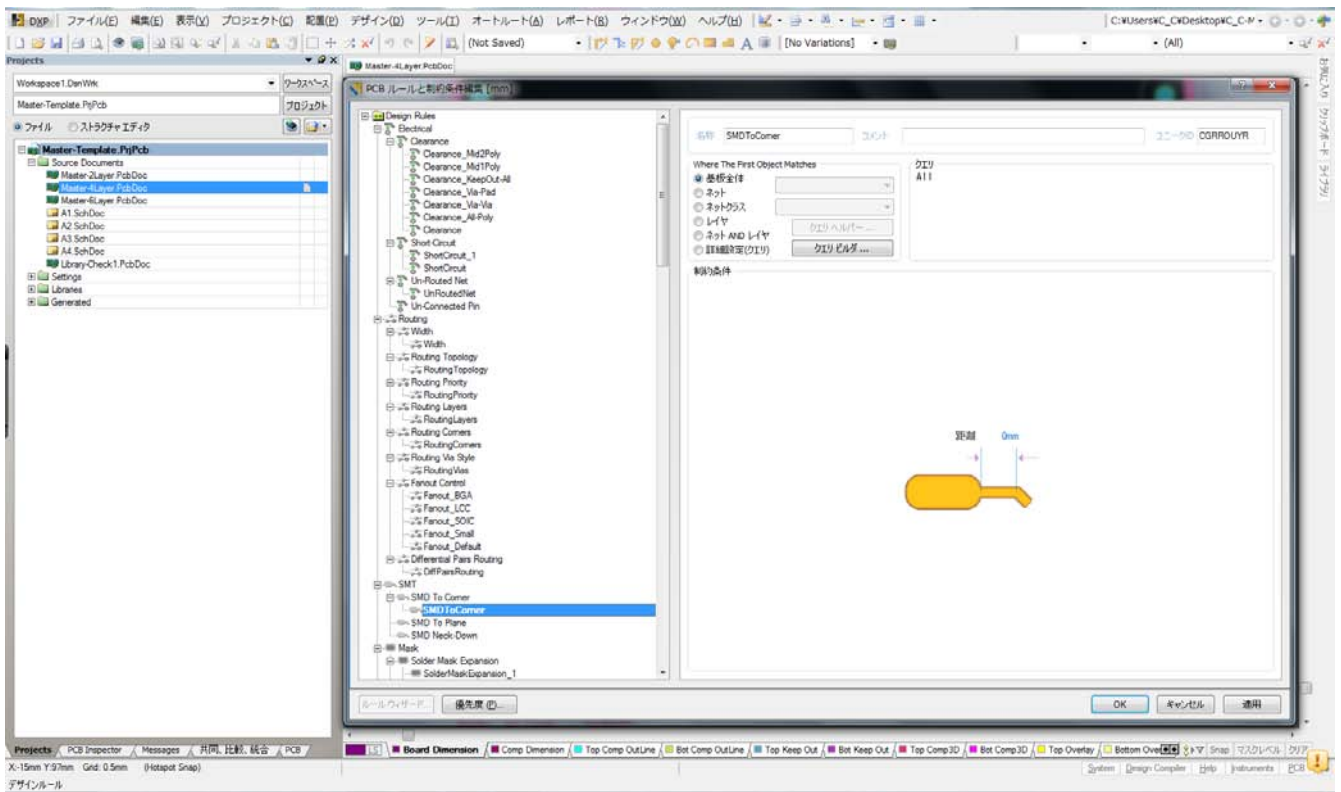
Differential Pairs Routing      差動配線間隔の設定      差動配線時に設定



SMT

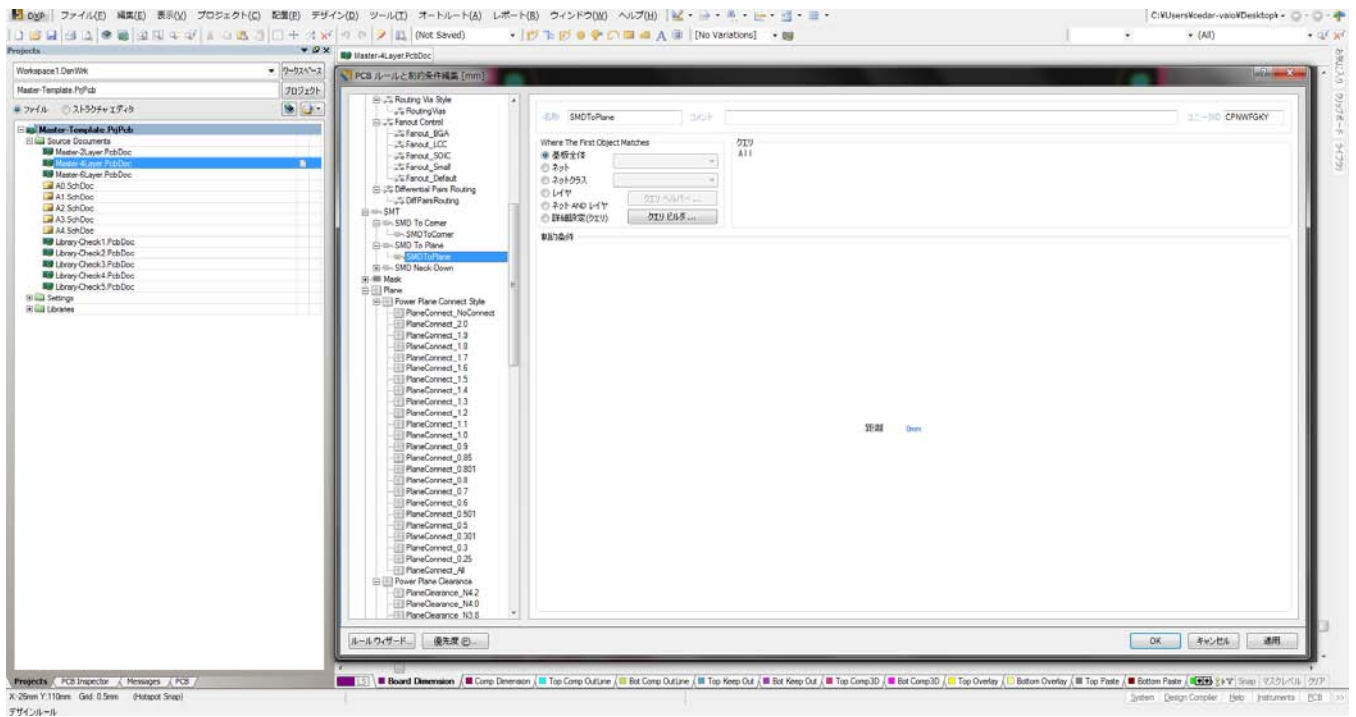
SMD To Comer

パットからの配線曲げ距離の設定

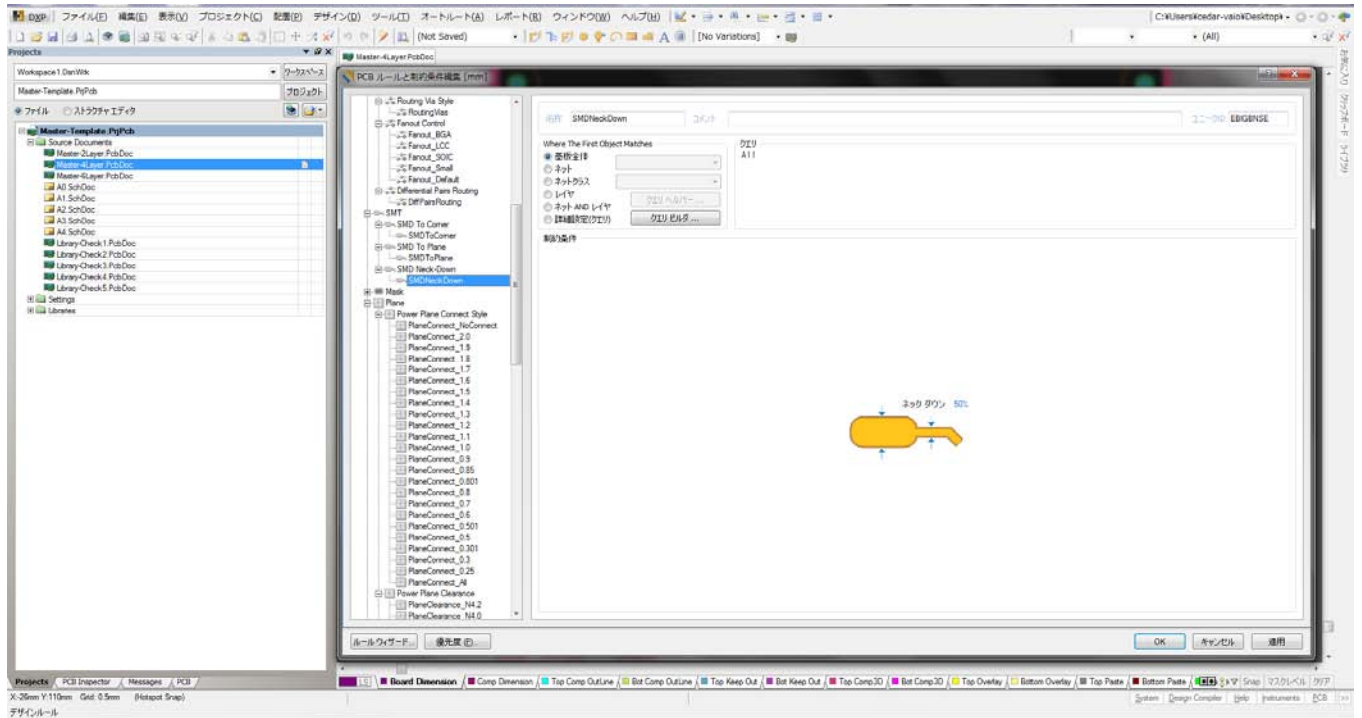


SMD To Plane

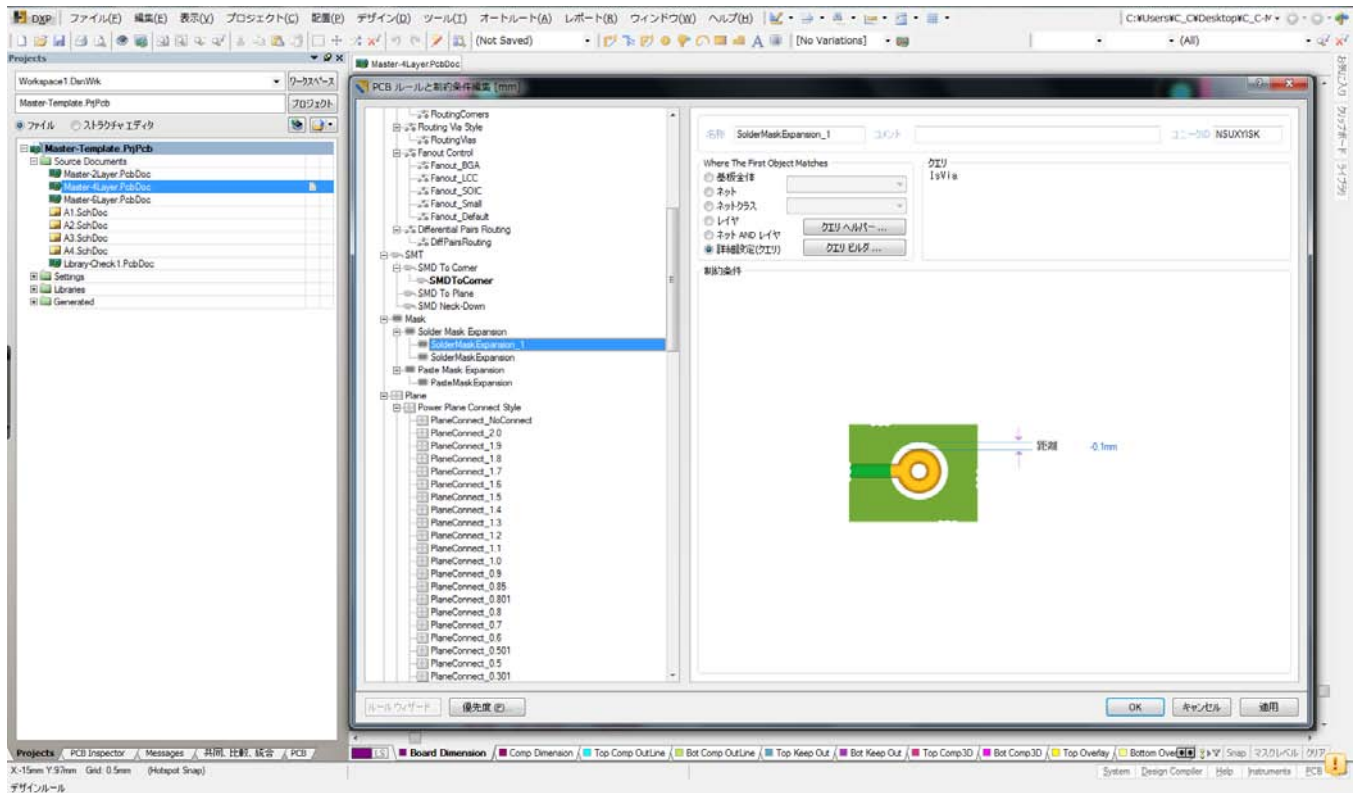
の設定



SMD Neck-Down ネットダウンの設定

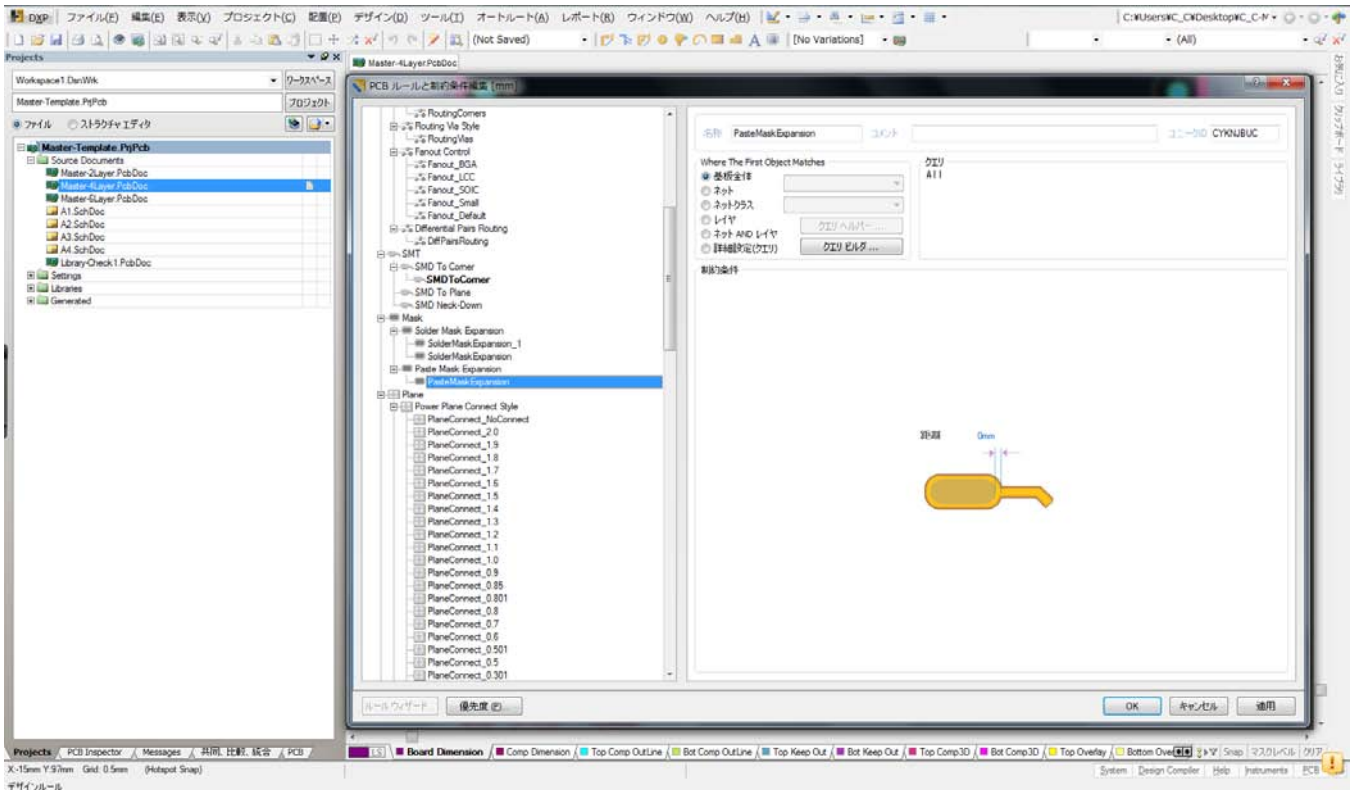


Solder Mask Expansion レジストサイズの設定



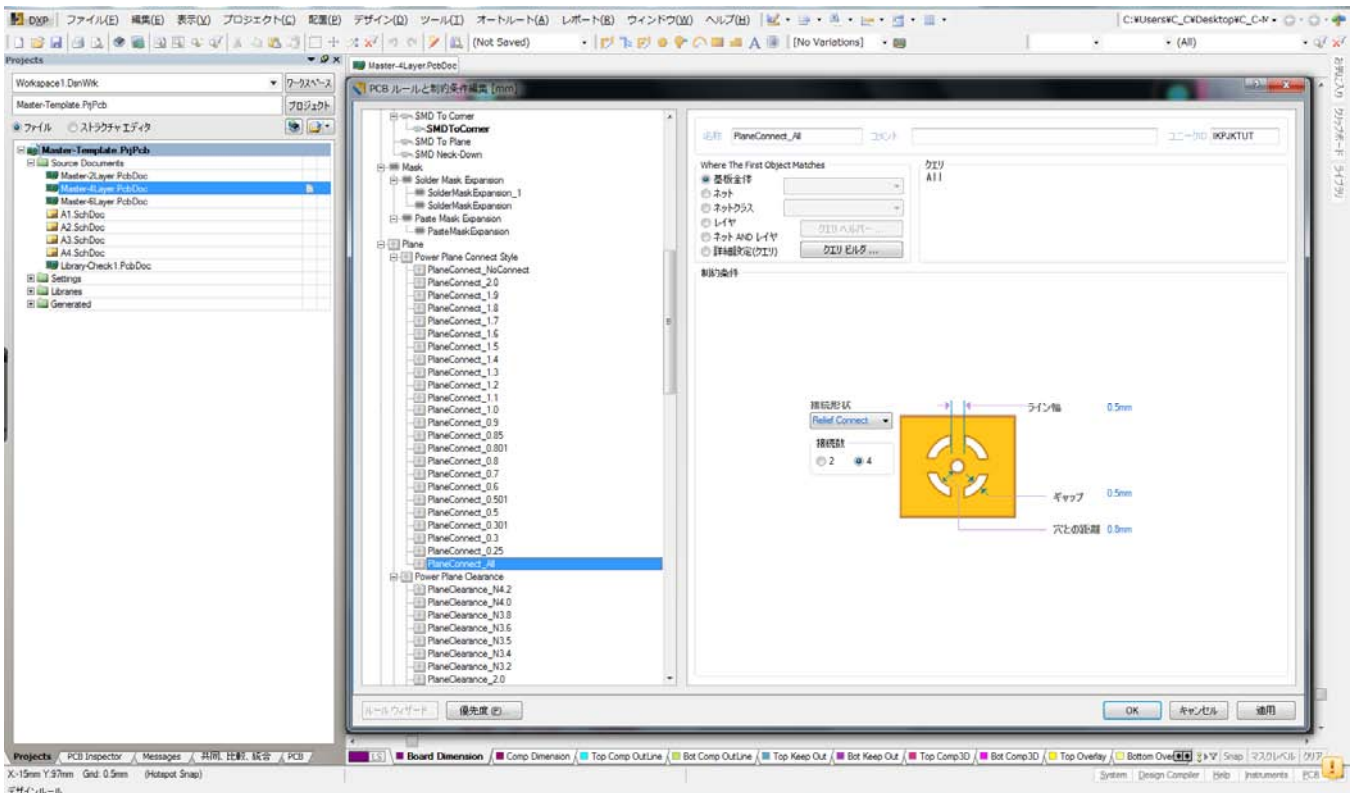
部品用のランド・パットからの逃げはライブラリーデータ上で指定。  
Via のレジスト逃げは、ここで設定し数値を-（マイナス）にすることでランドにレジストを塗布する仕様にする。

Paste Mask Expansion    メタルサイズの設定



通常は 0mm (パットと同寸法) 実装屋さんのノウハウで開口を編集する。  
 テストピンなどソルダークリームを塗布したくない場合(-パット長手寸法/2 以上)

Power Plane Connect Style    内層接続プレーンサイズの設定





標準ランド

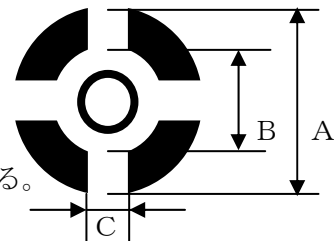
穴径 φ	ランド φ	レジスト	内層クリアランス	サーマルA/B-C
*0.2	0.35	0.2	0.7	ベタ接続 特殊仕様
*0.25	0.5	0.3	0.9	ベタ接続
*0.3	0.6	0.3	1.0	ベタ接続
0.5	1.0	0.6	1.3	1.6/1.0-0.3
0.6	1.2	1.4	1.4	1.7/1.1-0.3
0.8	1.4	1.6	1.6	2.0/1.4-0.3
0.9	1.5	1.7	1.7	2.1/1.5-0.3
1.0	1.6	1.8	2.0	2.2/1.6-0.5
1.1	1.8	2.0	2.1	2.4/1.8-0.5
1.2	2.0	2.2	2.2	2.6/2.0-0.5
1.3	2.2	2.4	2.3	2.8/2.2-0.5
1.4	2.4	2.6	2.4	3.0/2.4-0.6
1.5	2.5	2.7	2.5	3.1/2.5-0.6
1.6	2.8	3.0	2.6	3.4/2.8-0.7
1.7	2.9	3.1	2.7	3.5/2.9-0.7
1.8	3.0	3.2	2.8	3.6/3.0-0.8
1.9	3.2	3.5	3.0	3.8/3.2-0.8
2.0	3.5	3.7	3.5	4.1/3.5-0.8
2.1~2.5	穴+1.5	穴+1.7	穴+2.0	4.5/4.0-1.0
2.6 ~5.4	穴+2.0	穴+2.2	穴+3.0	(注)

\* 印の 0.2 と 0.25、0.3 の穴径は ドリル径を指示する。その他は、スルーホール仕上り径を示す。

部品穴は部品リードが入る穴なので仕上り径を示す。(ドリル径=仕上り径+0.05mm)

(注) φ2.6 以上のサーマルは B = 外層ランド径, A = B + 1.0, C = 1.0 とする。

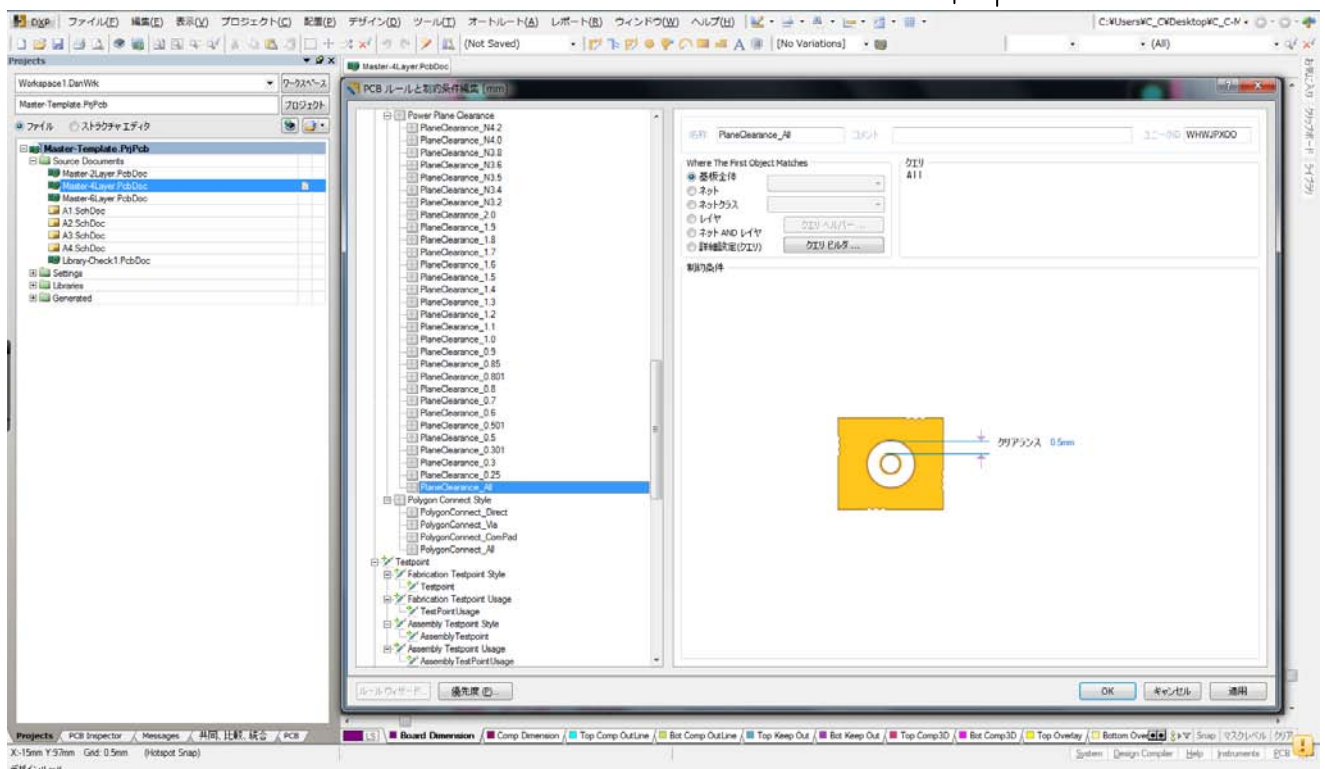
- 片面板の場合は 上記のランド径+1.0mm以上とする。
- サーマルランドの設定は右図による。
- Φ5.5 以上は、外形データで作成 (ルータ加工)



\* プレスフィット部品の穴径はツールを分ける為 0.003mm プラスする。

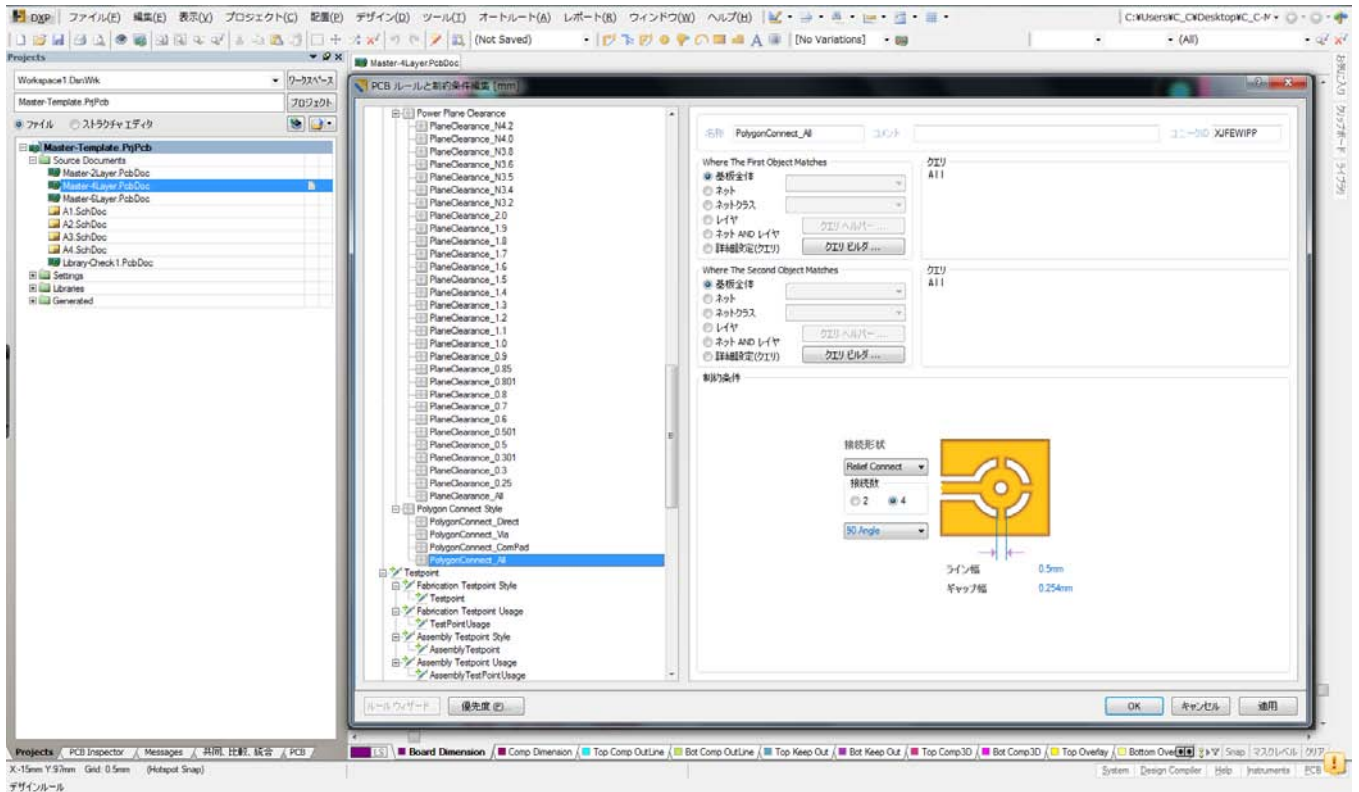
Power Plane Clearance

内層逃げサイズの設定

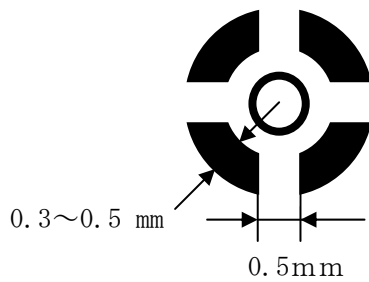


## Polygon Connect Style

## ベタ接続プレーンサイズの設定

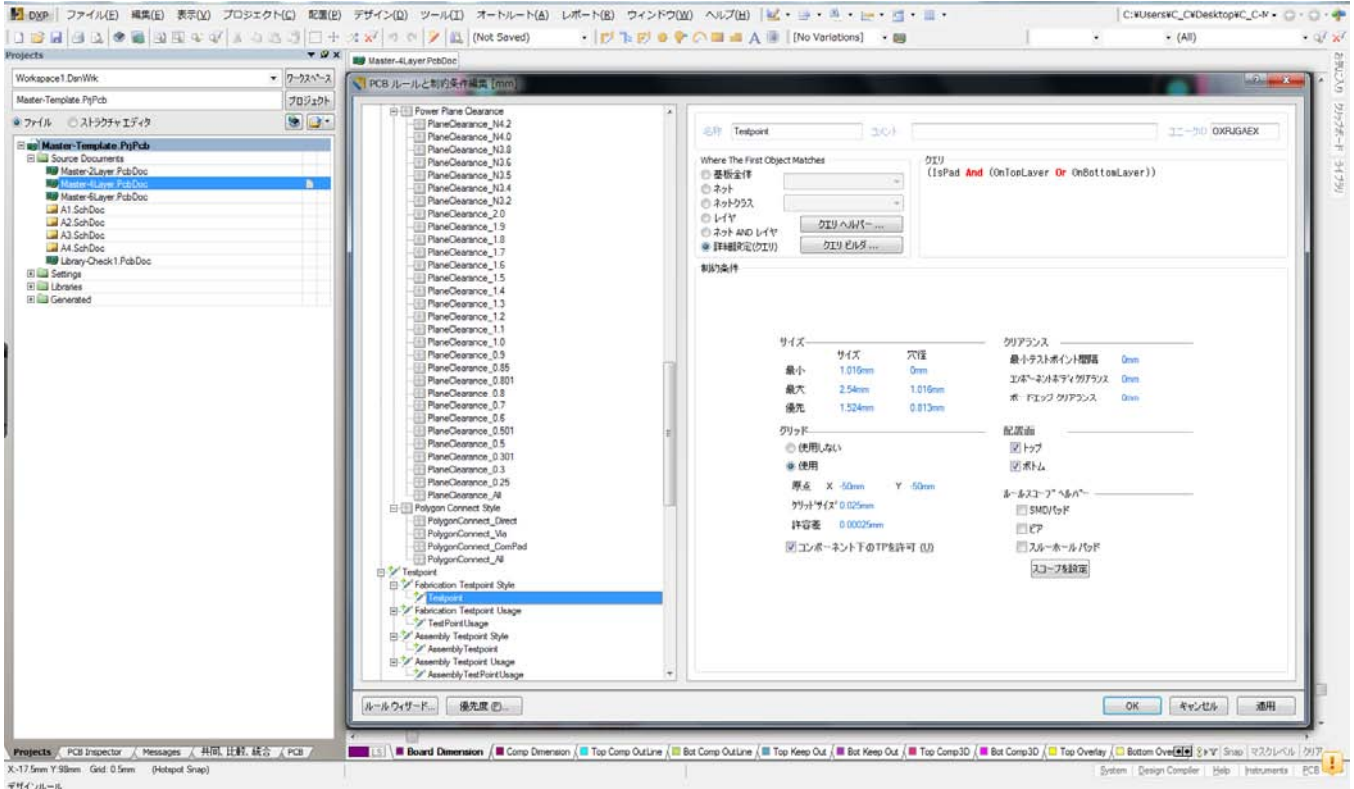


## ベタパターン中の部品ランド

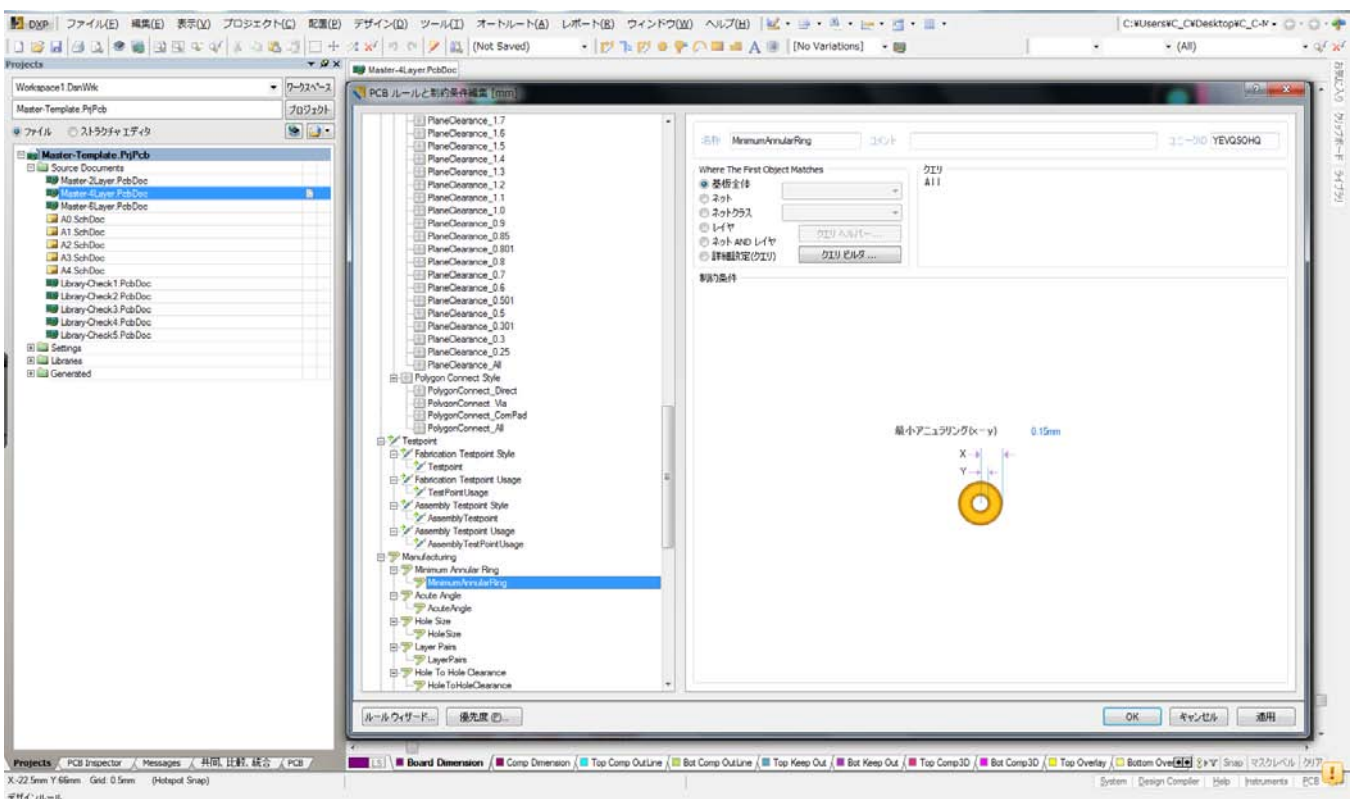


半田付けする時の熱逃げを考慮してサーマルランドとする。  
部品を取り付けないVIA（バイアホール）についてはベタ接続としてよい。内層についても同様とする。

- Testpoint            テストポイントの設定
- Fabrication Testpoint Style
- Fabrication Testpoint Usage
- Assembly Testpoint Style
- Assembly Testpoint Usage



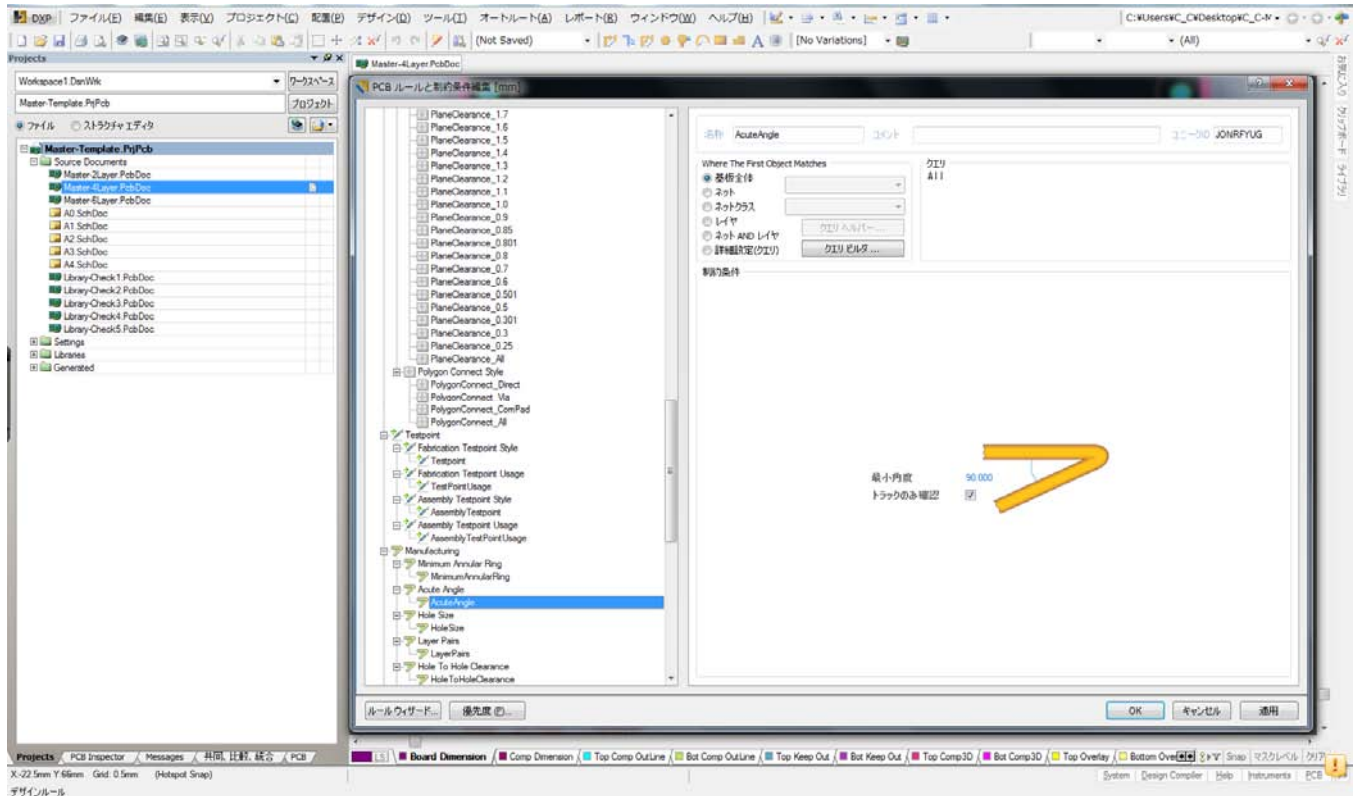
Minimum Annular Ring            ランド座残りの設定



Acute Angle

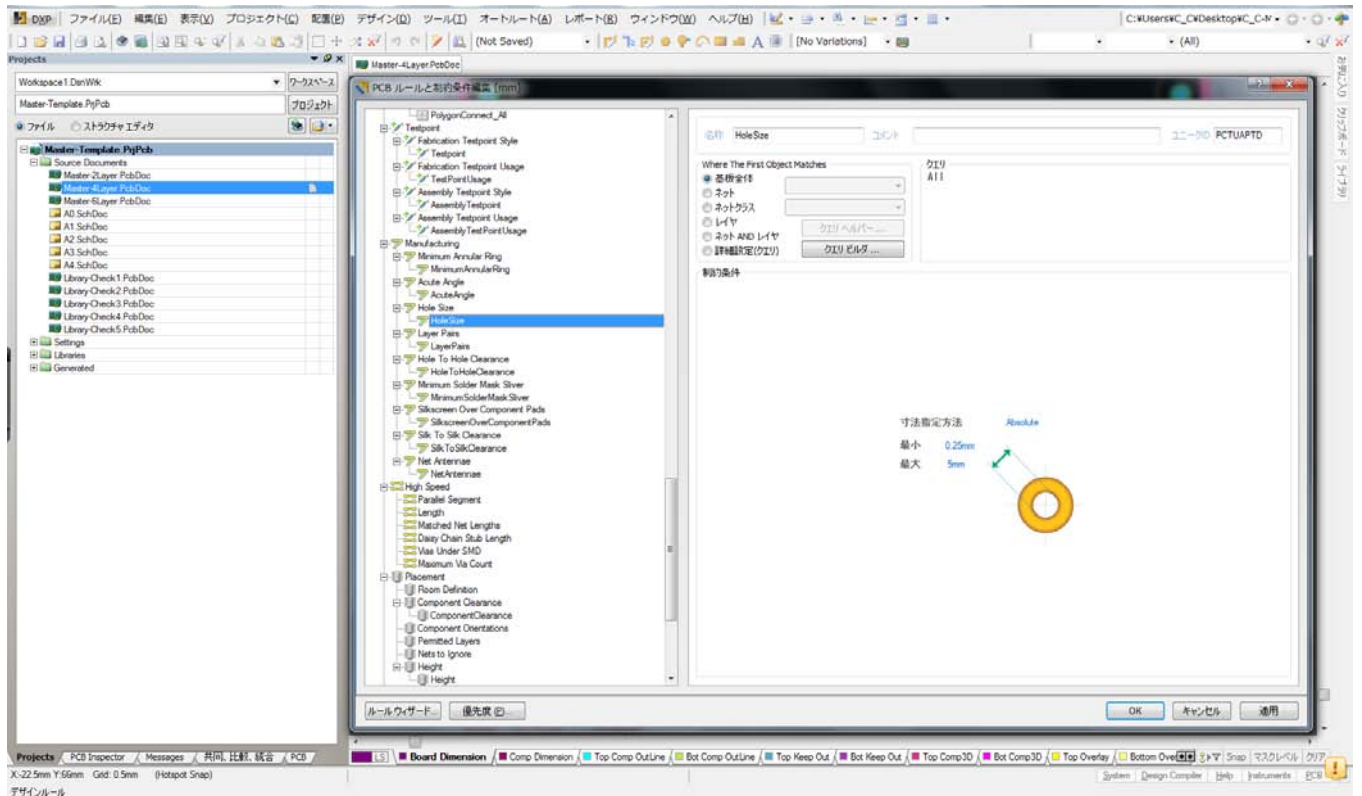
鋭角パターン設定の設定

通常 90 度



Hole Size

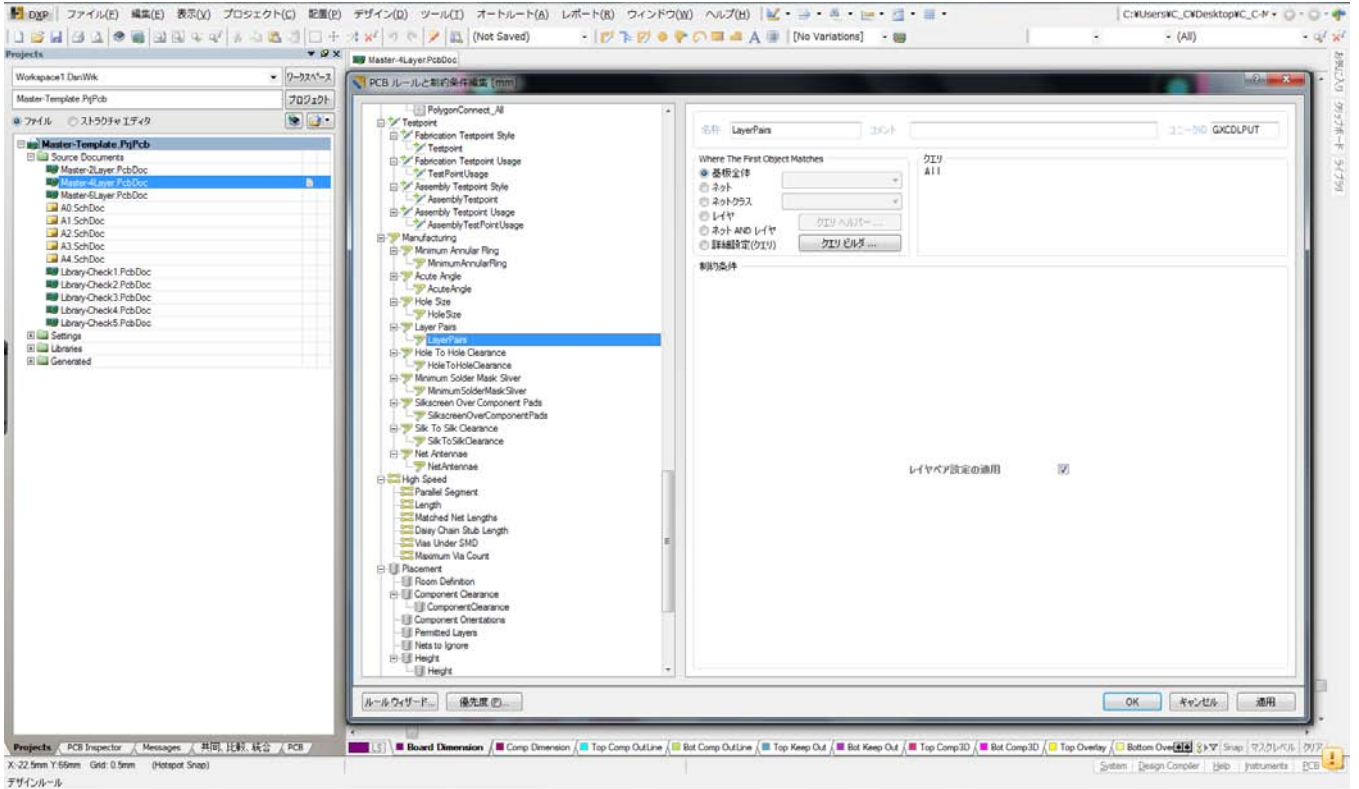
穴径サイズの設定





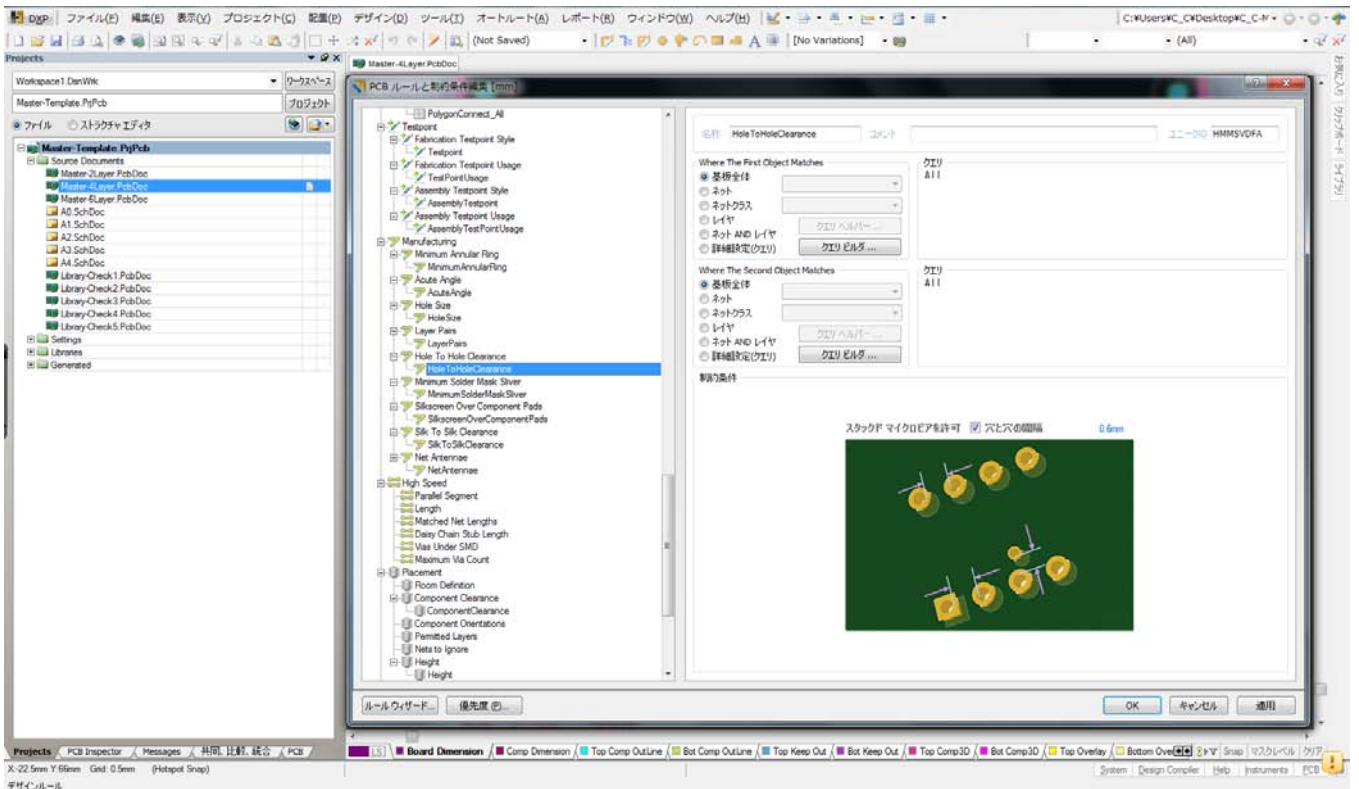
Layer Pairs

レイヤペアの設定の設定



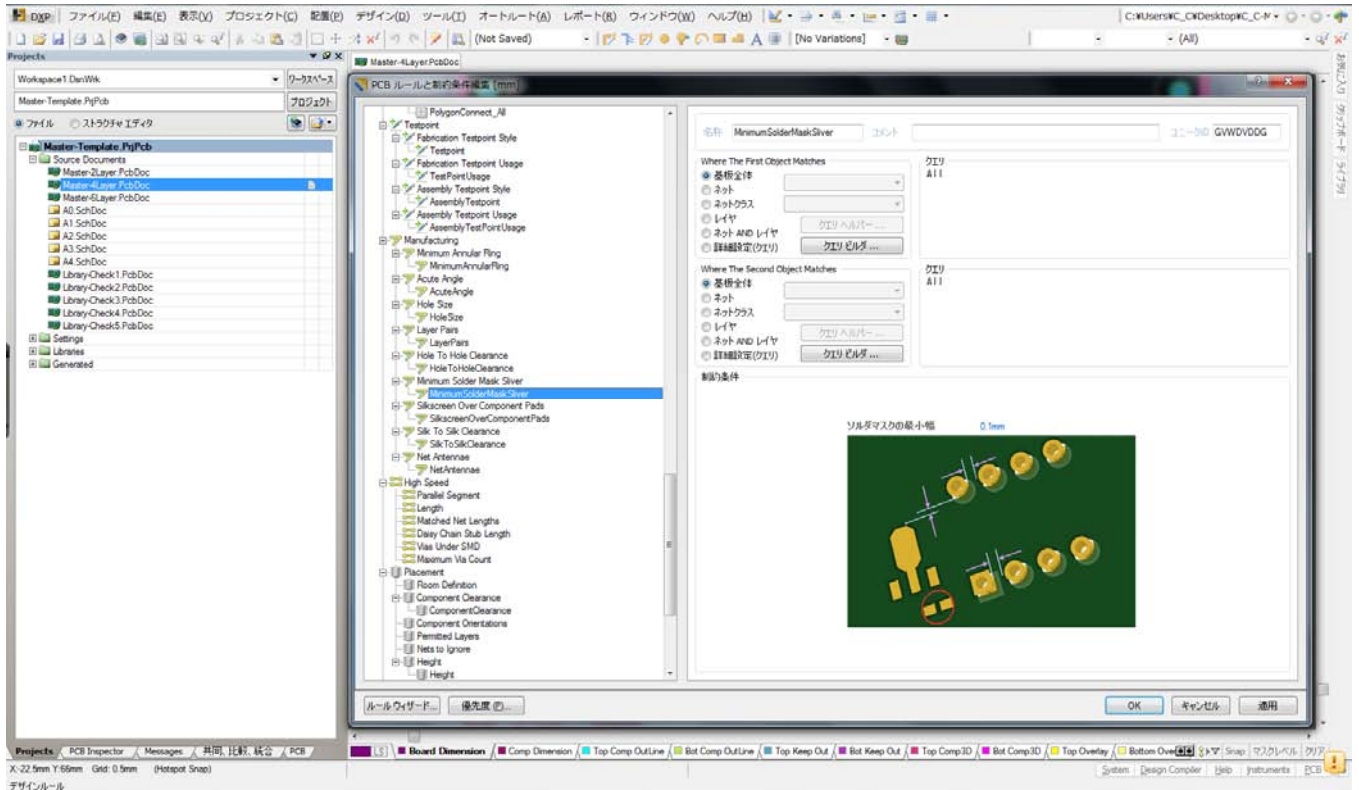
Hole To Hole Clearance

穴壁間隔の設定



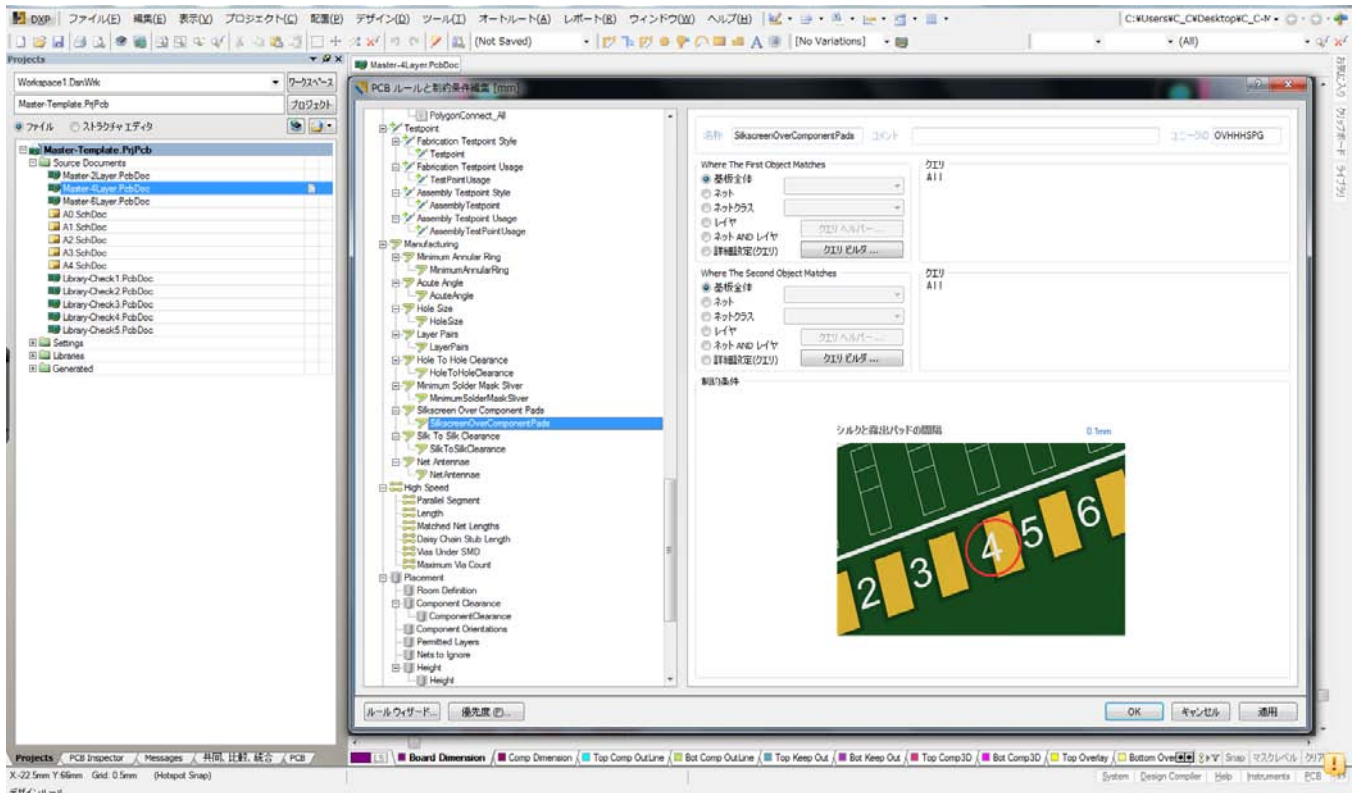
Minimum Solder Mask Sliver

レジスト逃げ間隔の設定



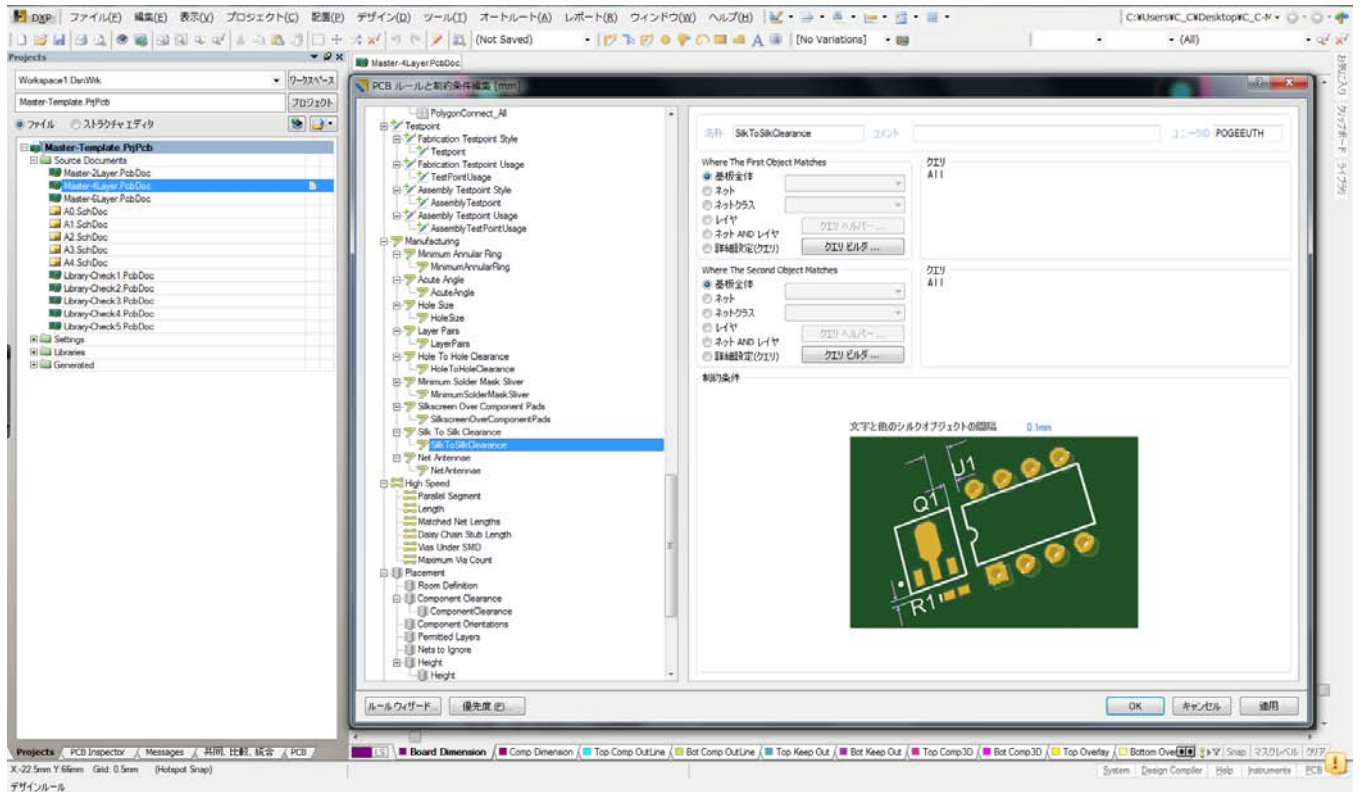
Silkscreen Over Component Pads

シルクパットの重なりの設定



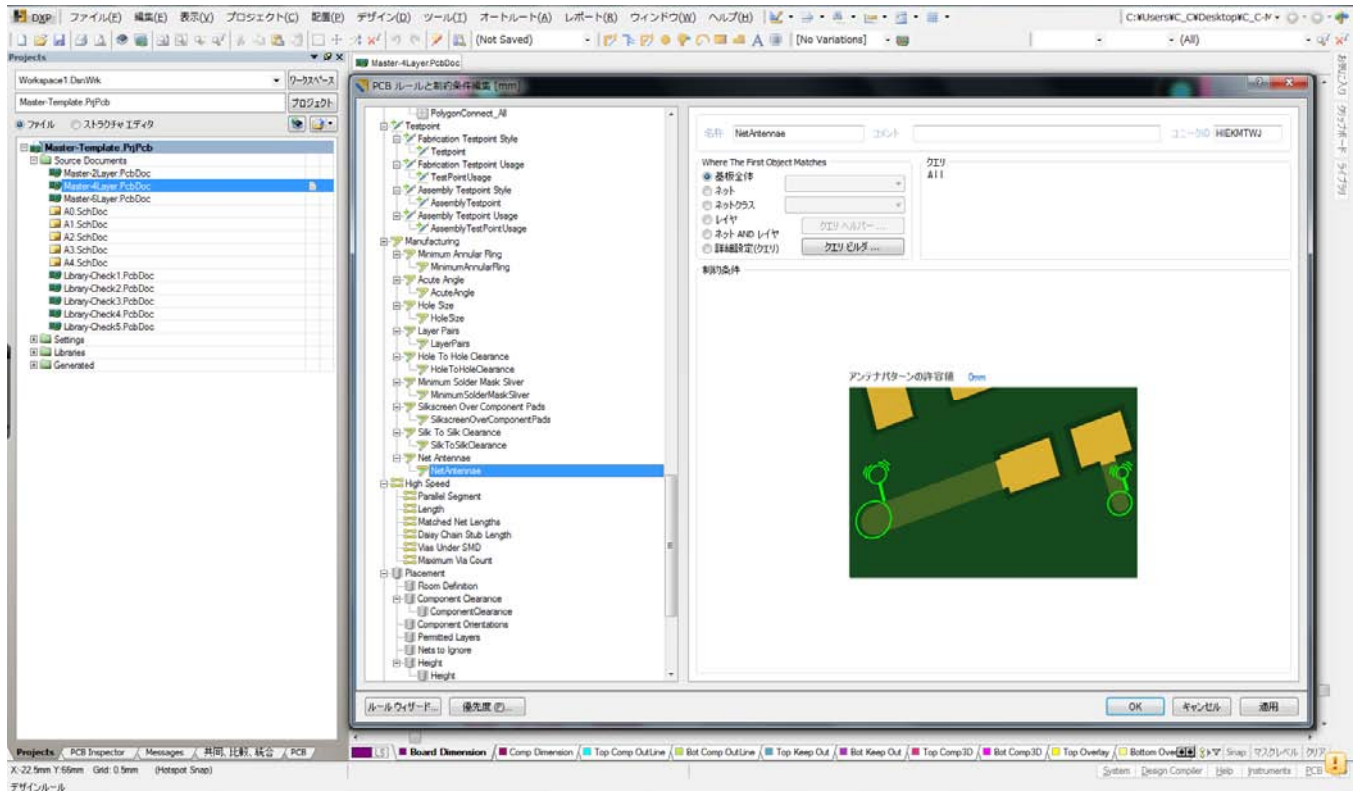
Silk To Silk Clearance

シルク -シルクの間隔の設定



Net Antennae

パターンアンテナの設定

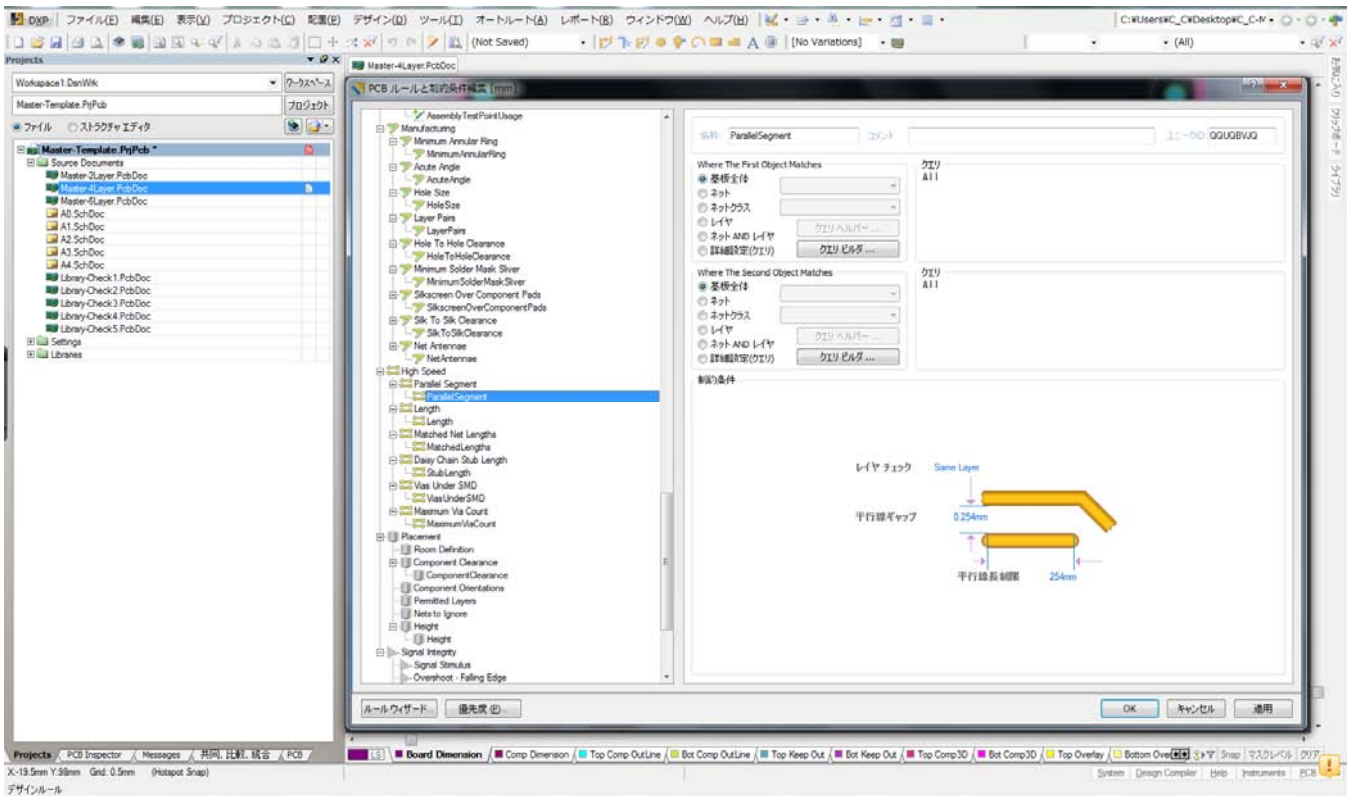




High Speed

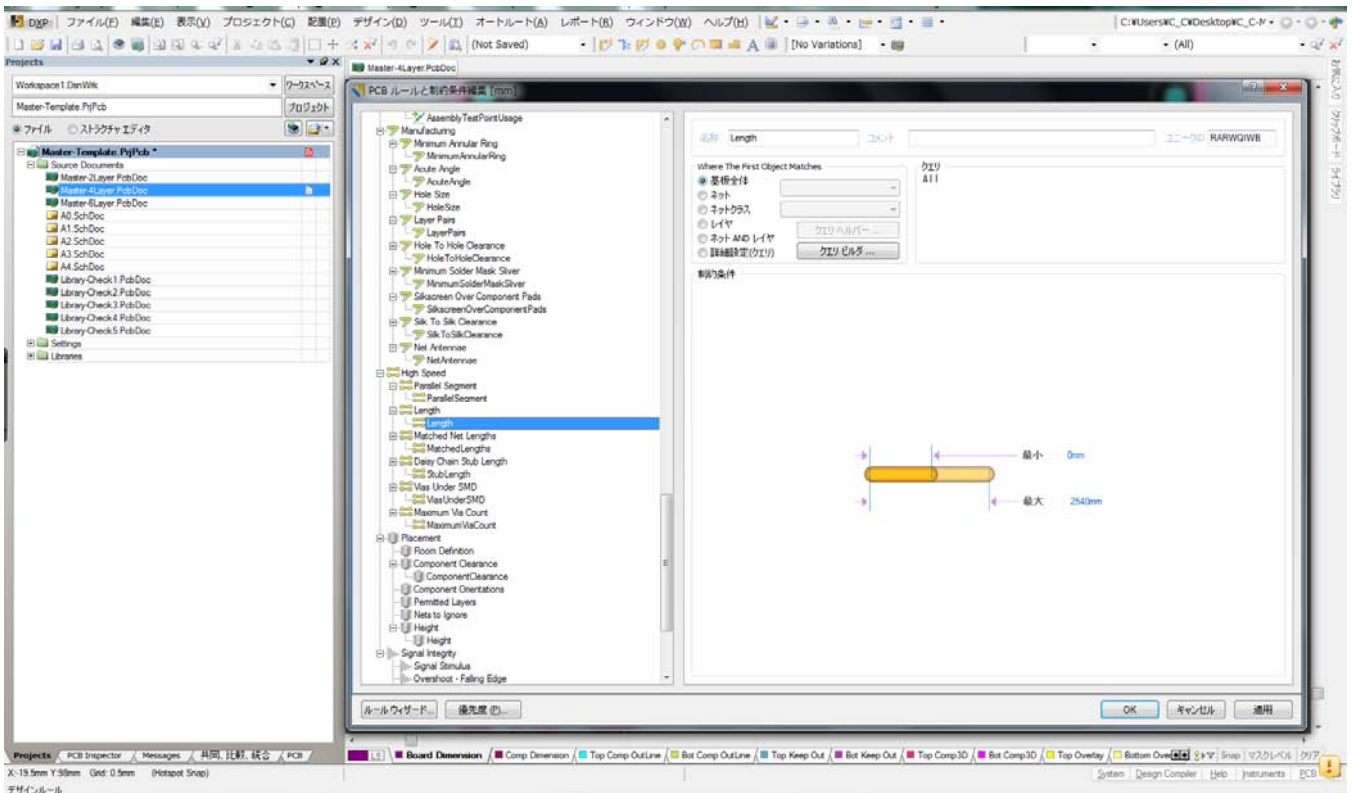
Parallel Segment

平行配線規制 平行長さ・ギャップ



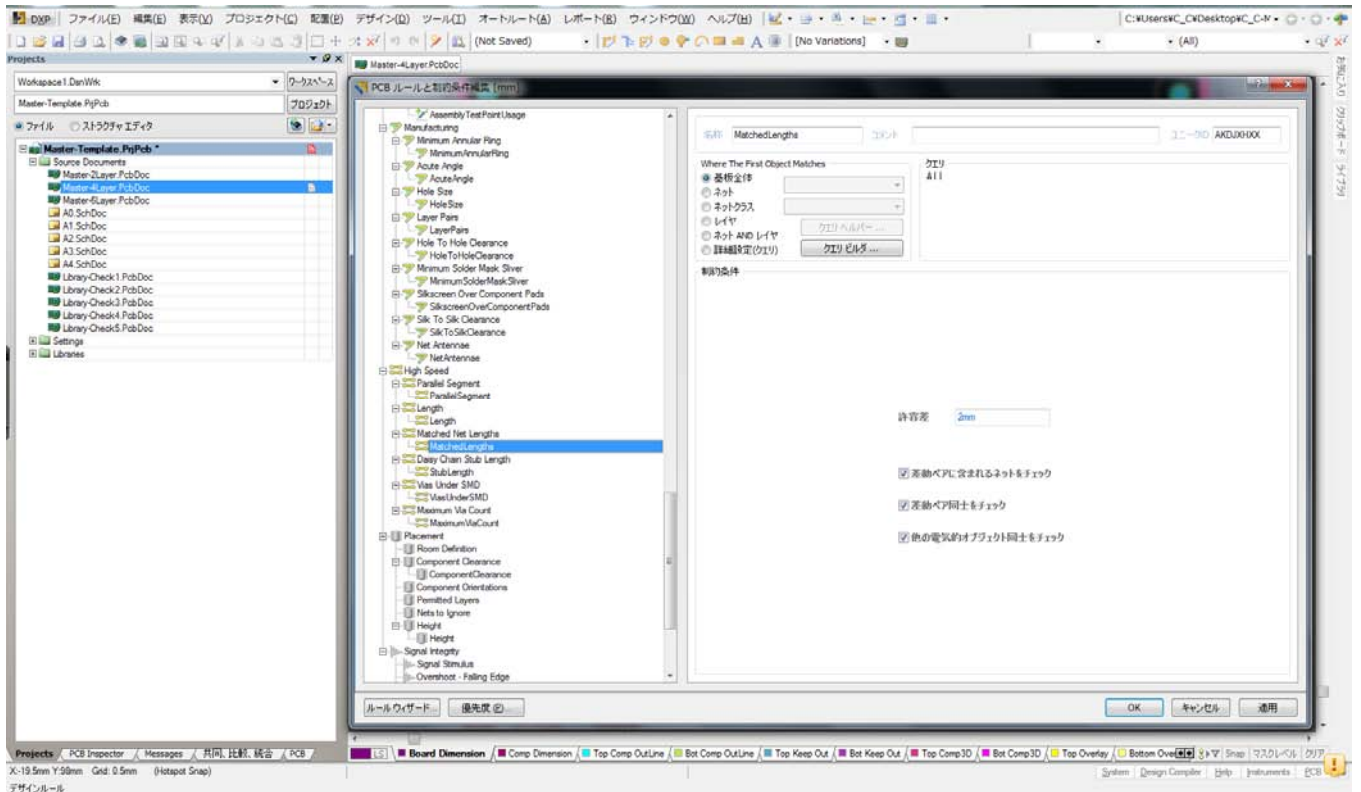
Length

配線長さ規制

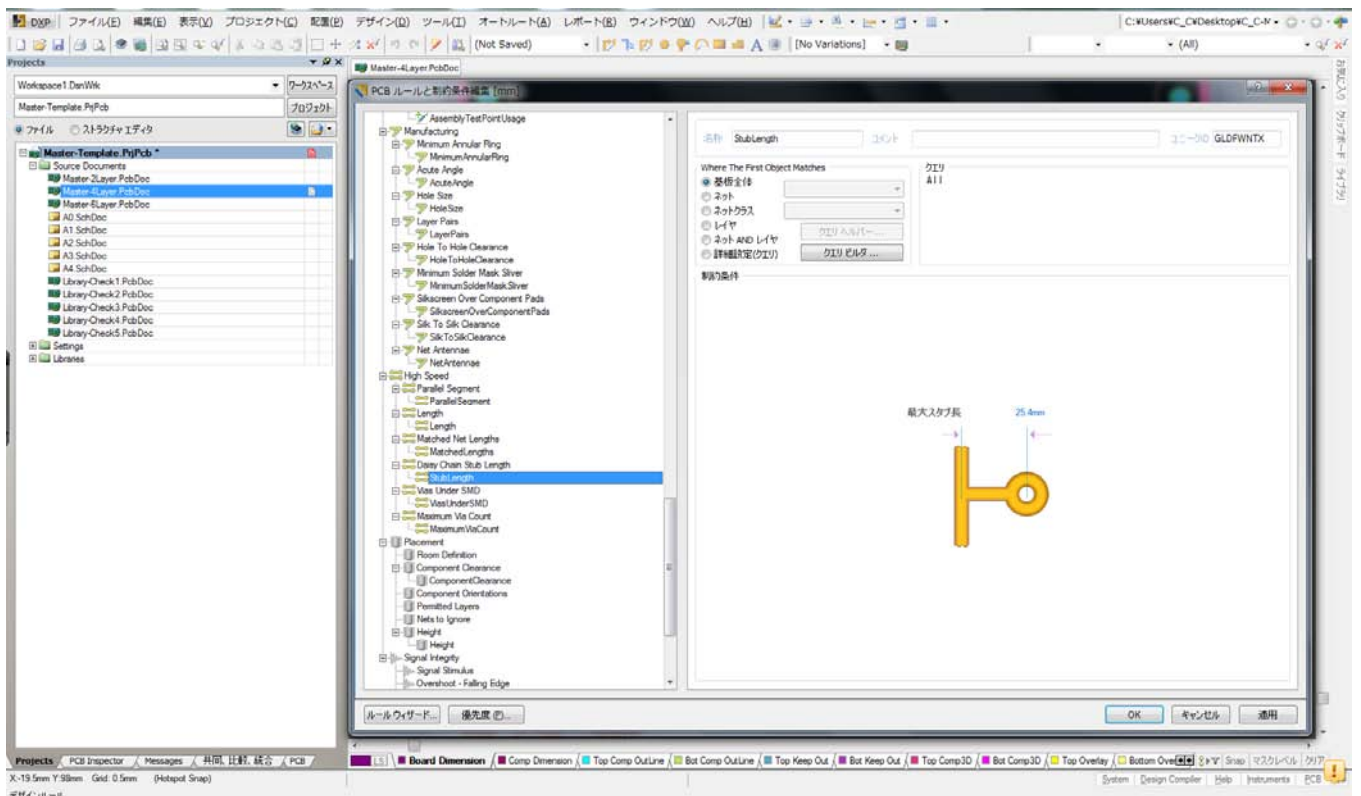




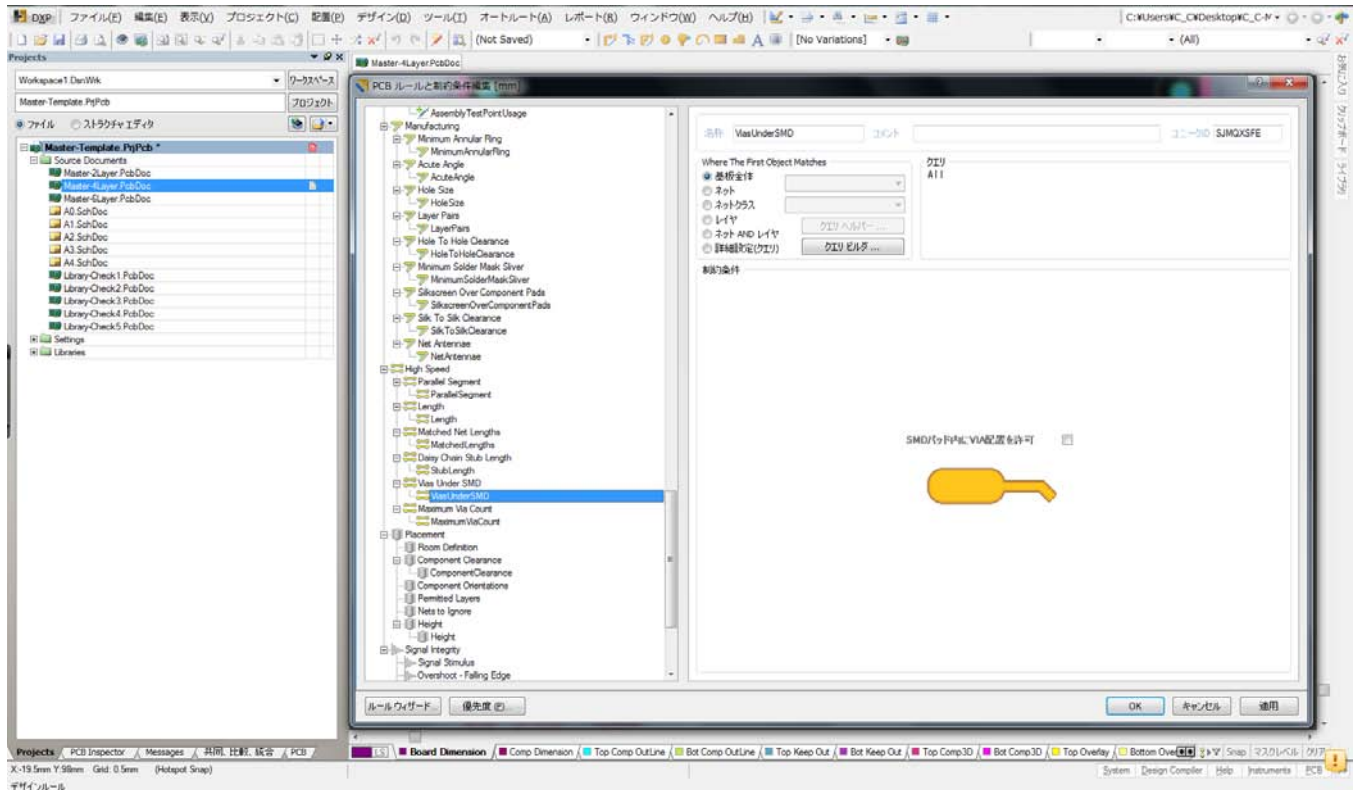
Matched Net Lengths



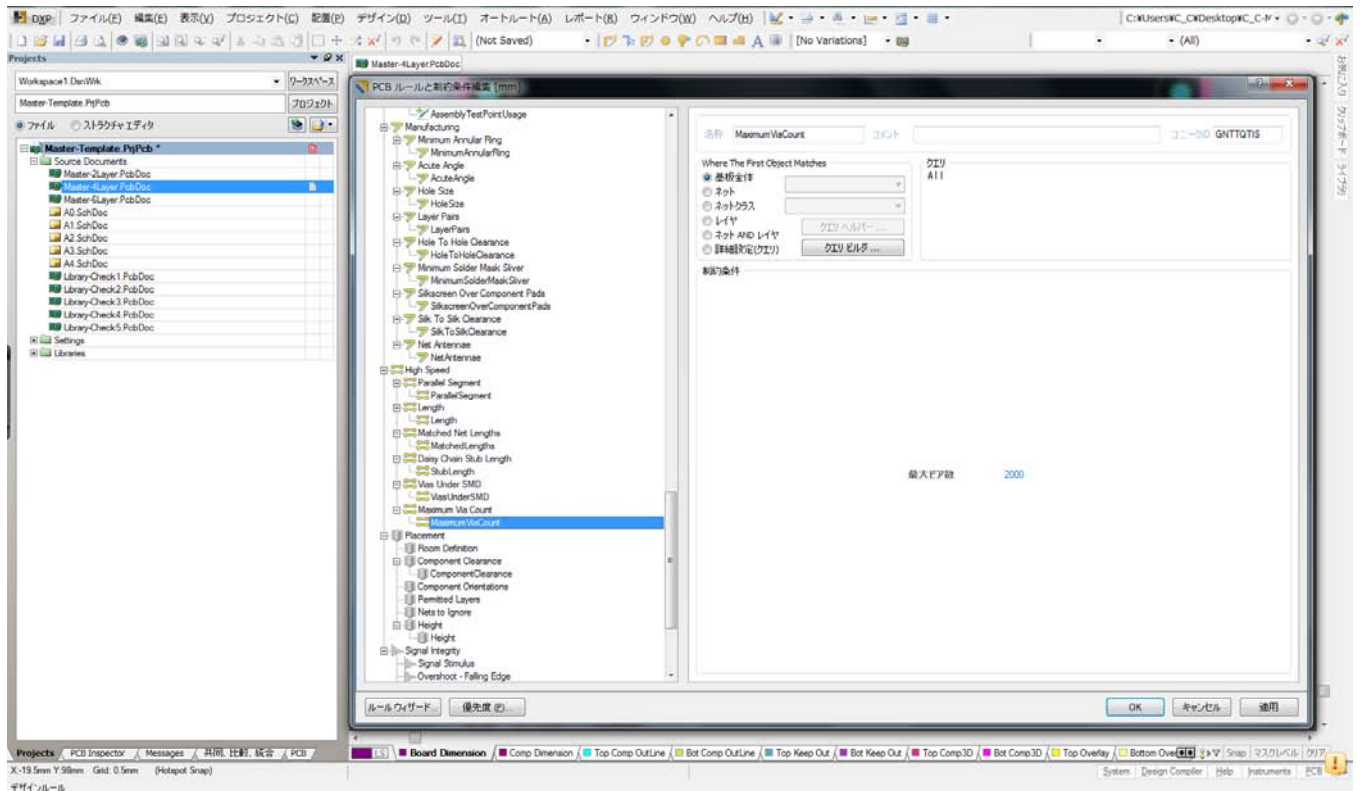
Daisy Chain Stub Length



Vias Under SMD パットオンViaの設定



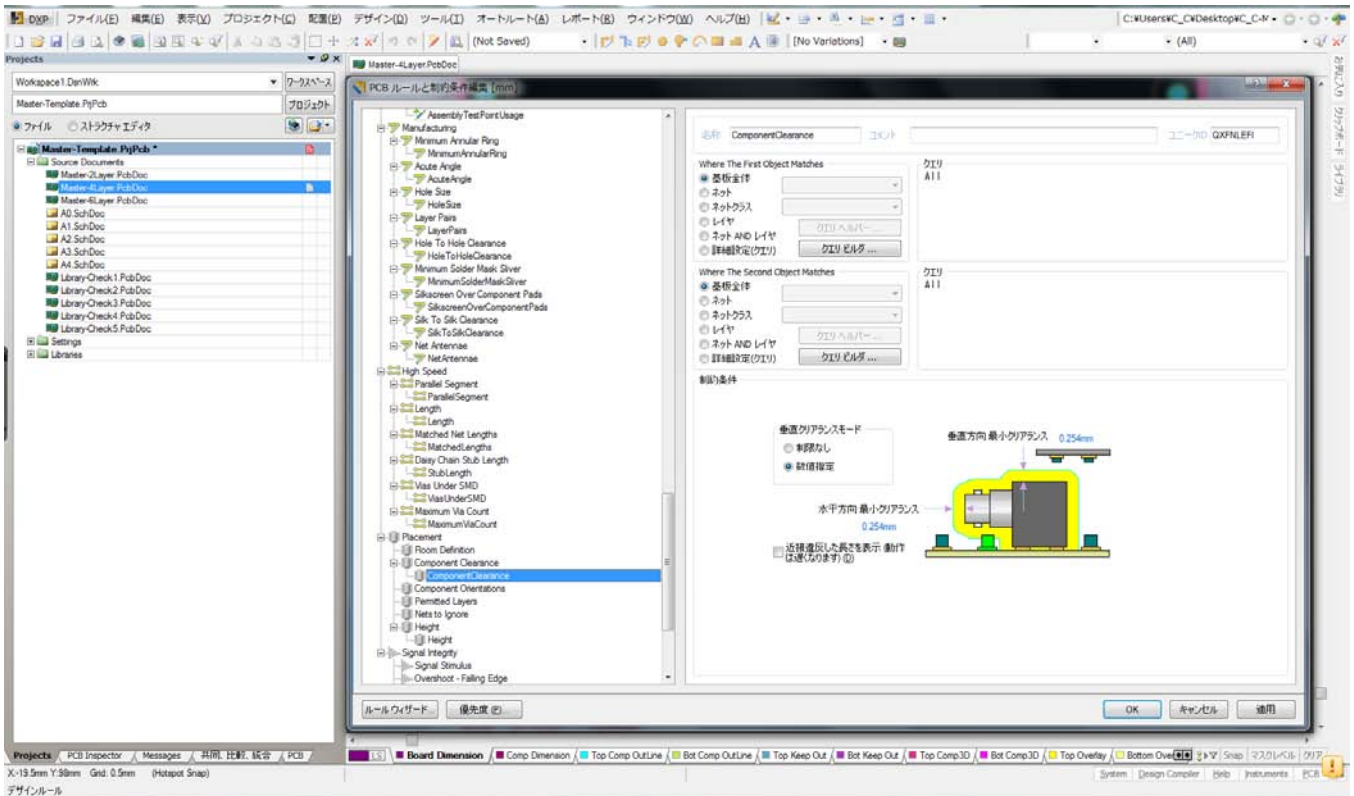
Maximum Via Count



Placement

Component Clearance

部品一部品間隔の設定



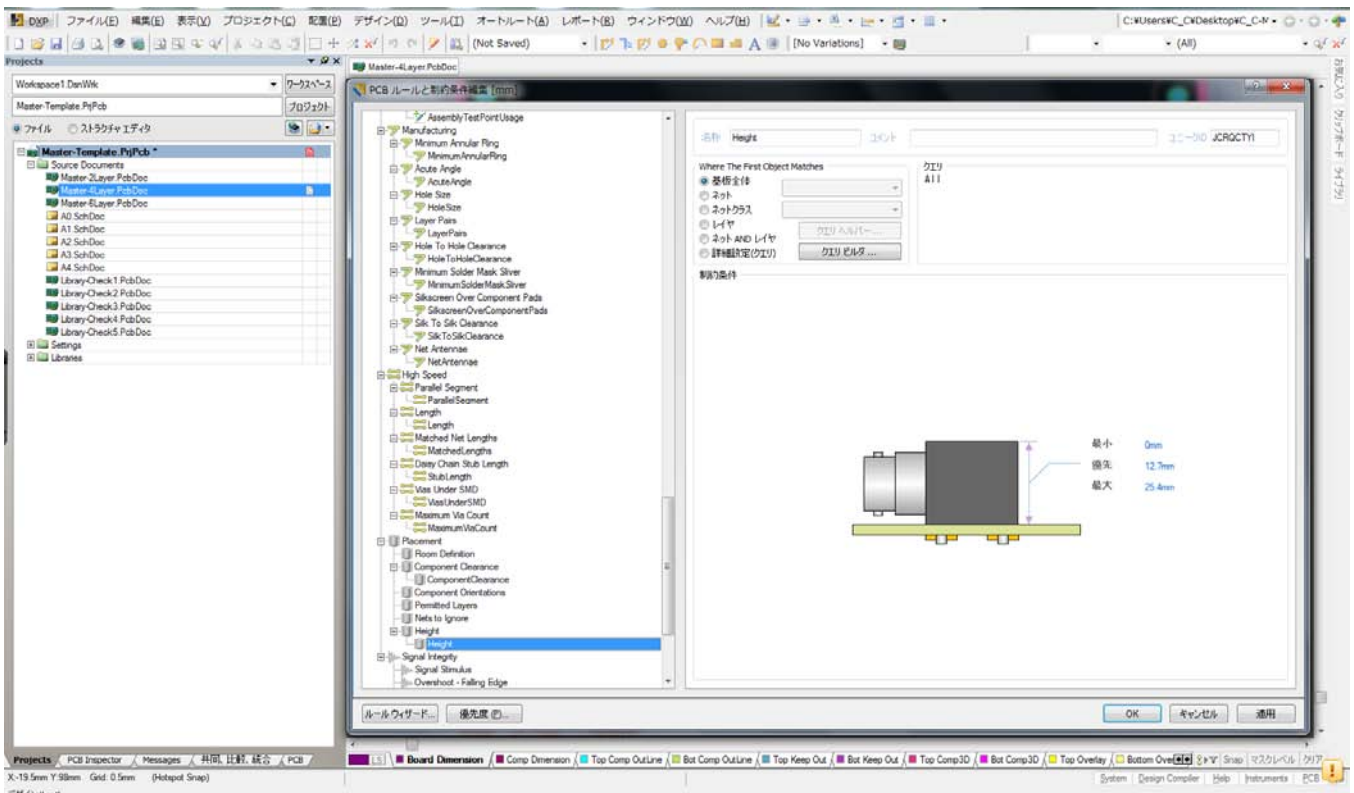
Component Orientations

Permitted Layers

Net to Ignore

Height

部品高さの設定



Signal Integrity

シミュレーション

